

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年3月1日 (01.03.2001)

PCT

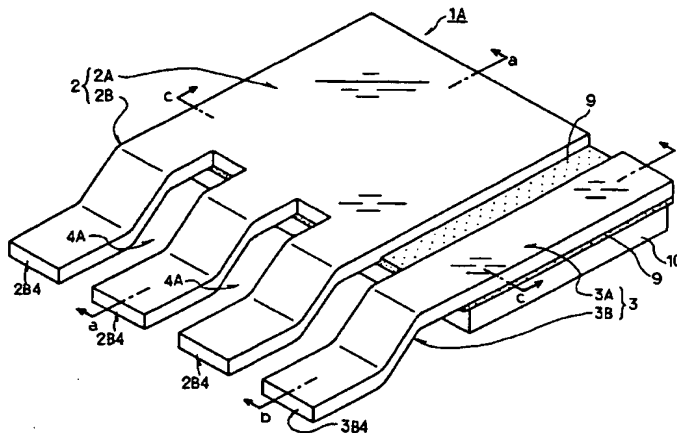
(10) 国際公開番号
WO 01/15216 A1

- (51) 国際特許分類: H01L 21/60 (HIRASHIMA, Toshinori) [JP/JP]. 高橋靖司 (TAKA-HASHI, Yasushi) [JP/JP]. 岸本宗久 (KISHIMOTO, Munehisa) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体グループ内 Tokyo (JP). 梶原良一 (KAJIWARA, Ryoichi) [JP/JP]. 小泉正博 (KOIZUMI, Masahiro) [JP/JP]; 〒319-1292 茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内 Ibaraki (JP).
- (21) 国際出願番号: PCT/JP00/04318
- (22) 国際出願日: 2000年6月29日 (29.06.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願平11/238859 1999年8月25日 (25.08.1999) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 平島利宜
- (54) 代理人: 秋田収喜 (AKITA, Shuki); 〒114-0013 東京都北区東田端1丁目13番9号 ツインビル田端B 2階 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, SG, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE THEREOF

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device comprises a semiconductor chip including a first surface on which a first electrode and a second electrode are formed and a second surface opposed to the first surface and on which a third electrode is formed; a first lead having a first part located on the first electrode and a second part located outside the semiconductor chip; a second lead having a first part located on the second electrode and a second part located outside the semiconductor chip; a plurality of projecting electrodes located between the first part of the first lead and the first electrode and between the first part of the second lead and the second electrode to connect corresponding electrodes and parts of the leads electrically; and an insulating sheet formed between the first part of the first lead and the first surface of the semiconductor chip and between the first part of the second lead and the first surface of the semiconductor chip to cover the whole first surface of the semiconductor chip except the areas where the projecting electrodes are arranged.

[続葉有]



WO 01/15216 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

第1主面に第1電極及び第2電極が形成され、前記第1主面と対向する第2主面に第3電極が形成された半導体チップと、前記第1電極上に第1部分が位置し、前記半導体チップの外側に第2部分が位置する第1リードと、前記第2電極上に第1部分が位置し、前記半導体チップの外側に第2部分が位置する第2リードと、前記第1リードの第1部分と前記第1電極との間及び前記第2リードの第1部分と前記第2電極との間に配置され、かつ夫々を電氣的に接続する複数の突起状電極と、前記第1リードの第1部分と前記半導体チップの第1主面との間及び前記第2リードの第1部分と前記半導体チップの第1主面との間に配置された絶縁性シートであって、前記複数の突起状電極が配置された領域以外の前記半導体チップの第1主面を覆う絶縁シートとを有することを特徴とする半導体装置である。

明 細 書

半導体装置及びその製造方法

技術分野

本発明は、半導体装置のパッケージ技術に関するものである。

5

背景技術

半導体装置として、例えばTSSOP (Thin Shrink Small Outline Package) 型と呼称される表面実装型プラスチック・パッケージ構造のパワートランジスタが知られている。このTSSOP型パワートランジスタは、携帯電話、ビデオ・カメラ等の充電器や、パーソナル・コンピュータ等の電源回路に多く使用されている。

TSSOP型パワートランジスタは、主に、互いに対向する素子形成面及び裏面の夫々に電極が形成された半導体チップと、半導体チップの裏面を支持する支持体と、半導体チップを封止する樹脂封止体と、複数のリードとを有する構成になっている。複数のリードの夫々は、樹脂封止体の内外に亘って延在し、樹脂封止体の内部に位置する内部リード部（インナーリードとも言う）と樹脂封止体の外部に位置する外部リード部（アウターリードとも言う）とを有する構成になっている。複数のリードの夫々の外部リード部は、面実装型リード形状の一つであるガルウイング型に折り曲げ成形されている。複数のリードのうち、一部のリードの内部リード部は導電性ワイヤを介して半導体チップの素子形成面の電極と電気的に接続され、他のリードの内部リード部は支持体を介して半導体チップの裏面の電極と電気的に接続されている。

20

なお、TSSOP型パワートランジスタについては、例えば、東芝レ

ビュー Vol.53 No.11 (1998), 第45頁乃至第47頁「2.5 V駆動型 第III世代トレンチゲートMOSFET」に記載されている。

本発明者等は、半導体装置のパッケージ（半導体パッケージ）について検討した結果、以下の問題点を見出した。

- 5 (1) 電子機器の小型軽量化に伴い、これらの電子機器に組み込まれる半導体装置は薄型化されてきた。電子機器の小型軽量化は今後においても進められると予測されるため、半導体装置の更なる薄型化が必要となる。

10 しかしながら、TSSOP型のように、樹脂成形（樹脂モールド）によって半導体チップを封止するパッケージ構造では、成形金型を用いて樹脂成形する時に、半導体チップの素子形成面側及び裏面側に樹脂を流すための樹脂通路が必要であり、この樹脂通路の厚さに相当する分、パッケージ全体の厚さが厚くなるため、更なる薄型化は困難である。

15 また、TSSOP型のように、半導体チップの素子形成面の電極とリードとを導電性ワイヤで電氣的に接続するパッケージ構造では、導電性ワイヤのループ高さ（半導体チップの素子形成面から垂直方向に向かった頂点部までの高さ）に相当する分、半導体チップの素子形成面側の樹脂厚が厚くなるため、更なる薄型化は困難である。

20 (2) パワートランジスタにおいては扱う電流量が大きいので、半導体チップから発生した熱を外部に放出する放熱性に優れたパッケージ構造が望まれる。しかしながら、TSSOP型のように、半導体チップ及びリードの内部リード部を樹脂封止体で封止するパッケージ構造では、半導体チップ及びリードの内部リード部が熱伝導性の低い樹脂によって覆われているため、半導体チップで発生した熱を外部に放出する放熱性が
25 低い。

(3) TSSOP型のように、半導体チップの素子形成面の電極とリー

ドとを導電性ワイヤで電氣的に接続するパッケージ構造では、半導体チップの電極とリードとの間の導電経路が長くなるため、パワートランジスタにおいては低オン抵抗化を阻害する要因となり、回路が搭載された半導体チップを有する半導体装置においては高速化を阻害する要因となる。

本発明の目的は、半導体装置の薄型化を図ることが可能な技術を提供することにある。

本発明の他の目的は、半導体装置の放熱性の向上を図ることが可能な技術を提供することにある。

10 本発明の他の目的は、半導体装置の低オン抵抗化を図ることが可能な技術を提供することにある。

本発明の他の目的は、半導体装置の高速化を図ることが可能な技術を提供することにある。

15 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

20 (1); 互いに対向する第1主面及び第2主面と、前記第1主面に形成された第1電極及び第2電極と、前記第2主面に形成された第3電極とを有する半導体チップと、

前記第1電極上に位置する第1部分と、前記第1部分と一体に形成され、かつ前記半導体チップの外側に位置する第2部分とを有する第1リードと、

25

前記第2電極上に位置する第1部分と、前記第1部分と一体に形成さ

れ、かつ前記半導体チップの外側に位置する第２部分とを有する第２リードと、

前記第１リードの第１部分と前記第１電極との間及び前記第２リードの第１部分と前記第２電極との間に配置され、かつ夫々を電氣的に接続する複数の突起状電極と、

前記第１リードの第１部分と前記半導体チップの第１主面との間及び前記第２リードの第１部分と前記半導体チップの第１主面との間に配置された絶縁性シートであって、前記複数の突起状電極が配置された領域以外の前記半導体チップの第１主面を覆う絶縁性シートとを有することを特徴とする半導体装置である。

(２)；前記手段(１)に記載の半導体装置において、

前記第１電極はソース電極であり、前記第２電極はゲート電極であり、前記第３電極はドレイン電極であることを特徴とする半導体装置である。

(３)；前記手段(１)に記載の半導体装置において、

前記第１電極はドレイン電極であり、前記第２電極はゲート電極であり、前記第３電極はソース電極であることを特徴とする半導体装置である。

(４)；前記手段(１)に記載の半導体装置において、

前記第１リード及び第２リードの夫々の第２部分は、夫々の先端部が前記半導体チップの第２主面側に位置するように折り曲げられていることを特徴とする半導体装置である。

(５)；互いに対向する第１主面及び第２主面と、前記第１主面に形成された第１電極及び第２電極と、前記第２主面に形成された第３電極とを有し、かつ平面が方形状で形成された半導体チップと、

前記第１電極上に位置する第１部分と、前記第１部分と一体に形成され、かつ前記半導体チップの互いに対向する第１辺及び第２辺のうちの

前記第 1 辺の外側に位置する第 2 部分とを有する第 1 リードであって、
前記第 2 部分は、前記第 1 部分から前記半導体チップの外側に突出する
突出部分と、前記突出部分から前記半導体チップの第 2 主面側に折れ曲
がる中間部分と、前記中間部分から前記突出部分と同一方向に延びる実
5 装部分とを有する第 1 リードと、

前記第 2 電極上に位置する第 1 部分と、前記第 1 部分と一体に形成さ
れ、かつ前記半導体チップの第 1 辺の外側に位置する第 2 部分とを有す
る第 2 リードであって、前記第 2 部分は、前記第 1 部分から前記半導体
チップの外側に突出する突出部分と、前記突出部分から前記半導体チッ
10 プの第 2 主面側に折れ曲がる中間部分と、前記中間部分から前記突出部
分と同一方向に延びる実装部分とを有する第 2 リードと、

前記第 1 リードの第 1 部分と前記第 1 電極との間及び前記第 2 リード
の第 1 部分と前記第 2 電極との間に配置され、かつ夫々を電氣的に接続
する複数の突起状電極と、

15 前記第 1 リードの第 1 部分と前記半導体チップの第 1 主面との間及び
前記第 2 リードの第 1 部分と前記半導体チップの第 1 主面との間に配置
された絶縁性シートであって、前記複数の突起状電極が配置された領域
以外の前記半導体チップの第 1 主面を覆う絶縁性シートとを有し、

前記第 1 リードは、前記第 2 リードの幅よりも広い幅で形成され、
20 前記第 1 リードの第 2 部分には、その先端部から前記半導体チップに
向かって延びる一つ又は複数のスリットが設けられていることを特徴と
する半導体装置である。

(6); 互いに対向する第 1 主面及び第 2 主面と、前記第 1 主面に形成
された第 1 電極及び第 2 電極と、前記第 2 主面に形成された第 3 電極と
25 を有する半導体チップと、

前記第 1 電極上に位置する第 1 部分と、前記第 1 部分と一体に形成さ

れ、かつ前記半導体チップの外側に位置する第 2 部分とを有する第 1 リードと、

前記第 2 電極上に位置する第 1 部分と、前記第 1 部分と一体に形成され、かつ前記半導体チップの外側に位置する第 2 部分とを有する第 2 リードと、

前記第 1 リードの第 1 部分と前記第 1 電極との間及び前記第 2 リードの第 1 部分と前記第 2 電極との間に配置され、かつ夫々を電氣的に接続する複数の突起状電極と、

前記第 1 リードの第 1 部分と前記半導体チップの第 1 主面との間及び
10 前記第 2 リードの第 1 部分と前記半導体チップの第 1 主面との間に配置された絶縁性シートであって、前記複数の突起状電極が配置された領域以外の前記半導体チップの第 1 主面を覆う絶縁性シートとを有する半導体装置の製造方法であって、

前記半導体チップの第 1 電極と前記第 1 リードの第 1 部分との間及び
15 前記半導体チップの第 2 電極と前記第 2 リードの第 1 部分との間に前記絶縁性シート及び前記突起状電極を介在させた状態で熱圧着にて夫々を電氣的に接続する工程の前に、前記第 1 リード及び第 2 リードの夫々の第 2 部分を折り曲げ成形して前記第 2 部分の先端部を前記半導体チップの第 2 主面側に位置させる工程を備えたことを特徴とする半導体装置の
20 製造方法である。

(7); 互いに対向する第 1 主面及び第 2 主面と、前記第 1 主面に形成された複数の電極及び回路とを有する半導体チップと、

前記半導体チップの電極上に位置する第 1 部分と、前記第 1 部分と一体に形成され、かつ前記半導体チップの外側に位置する第 2 部分とを有
25 する複数のリードと、

前記各リードの第 1 部分と前記半導体チップの各電極との間に配置さ

れ、夫々を電氣的に接続する複数の突起状電極と、

前記各リードの第 1 部分と前記半導体チップの第 1 主面との間に配置された絶縁性シートであって、前記複数の突起状電極が配置された領域以外の前記半導体チップの第 1 主面を覆う絶縁性シートとを有すること
5 を特徴とする半導体装置である。

(8); 前記手段 (7) に記載の半導体装置において、

前記各リードの第 2 部分は、夫々の先端部が前記半導体チップの第 2 主面側に位置するように折り曲げられていることを特徴とする半導体装置である。

10 なお、本発明の結果から公知例調査を行った結果、基板に半導体チップを絶縁フィルムで接続する技術が記載された公知例 1 (特開平 10-41694 号公報) 及び公知例 2 (特開平 11-3909 号公報) が見つかった。しかし、公知例 1 及び 2 の発想は、基板にチップを直接搭載する技術であり、チップをリードフレームに接続する技術については言
15 及していない。また、半導体装置の薄型化、放熱性についても言及していない。

図面の簡単な説明

第 1 図は、本発明の実施形態 1 であるパワートランジスタの概略構成
20 を示す模式的斜視図である。

第 2 図は、第 1 図の a-a 線に沿う模式的断面図である。

第 3 図は、第 1 図の b-b 線に沿う模式的断面図である。

第 4 図は、第 1 図の c-c 線に沿う模式的断面図である。

第 5 図は、第 1 図の半導体チップの概略構成を示す模式的平面図であ
25 る。

第 6 図は、第 1 図の半導体チップの概略構成を示す模式的底面図であ

る。

第 7 図は、第 5 図の d - d 線に沿う模式的断面図である。

第 8 図は、第 5 図の e - e 線に沿う模式的断面図である。

5 第 9 図は、第 8 図のゲート導体層の平面パターンを示す模式的平面図である。

第 10 図は、第 1 図のパワートランジスタの製造に用いられるリードフレームの模式的平面図である。

第 11 図は、第 1 図のパワートランジスタの製造を説明するための模式的断面図である。

10 第 12 図は、第 1 図のパワートランジスタの製造を説明するための模式的断面図である。

第 13 図は、第 1 図のパワートランジスタの製造を説明するための模式的断面図である。

15 第 14 図は、第 1 図のパワートランジスタの製造を説明するための模式的断面図である。

第 15 図は、第 1 図のパワートランジスタを実装基板に実装した状態を示す模式的断面図である。

第 16 図は、第 1 図のリードの先端位置を説明するための模式的断面図である。

20 第 17 図は、第 1 図のリードの先端位置を説明するための模式的断面図である。

第 18 図は、第 1 図のパワートランジスタの他の製造を説明するための模式的断面図である。

25 第 19 図は、本発明の実施形態 2 であるパワートランジスタの概略構成を示す模式的斜視図である。

第 20 図は、本発明の実施形態 3 であるパワートランジスタの概略構

成を示す模式的斜視図である。

第 2 1 図は、本発明の実施形態 4 であるパワートランジスタの概略構成を示す模式的斜視図である。

第 2 2 図は、本発明の実施形態 5 であるパワートランジスタの概略構成を示す模式的平面図である。

第 2 3 図は、本発明の実施形態 6 であるパワートランジスタの概略構成を示す図 ((A) は模式的平面図, (B) は (A) の f - f 線に沿う模式的断面図) である。

第 2 4 図は、本発明の実施形態 7 であるパワートランジスタの概略構成を示す図 ((A) は模式的平面図, (B) は (A) の g - g 線に沿う模式的断面図) である。

第 2 5 図は、第 2 4 図に示すリードの先端位置を説明するための模式的断面図である。

第 2 6 図は、リード先端位置を説明するための模式的断面図である。

第 2 7 図は、本発明の実施形態 8 であるパワートランジスタの概略構成を示す図 ((A) は模式的斜視図, (B) は (A) の h - h 線に沿う模式的断面図) である。

第 2 8 図は、第 2 7 図の半導体チップの概略構成を示す模式的平面図である。

第 2 9 図は、第 2 7 図の半導体チップの配線パターンを示す模式的平面図である。

第 3 0 図は、第 2 8 図の i - i 線に沿う模式的断面図である。

第 3 1 図は、本発明の実施形態 9 である広帯域ビデオ増幅器の概略構成を示す図 ((A) は模式的平面図, (B) は (A) の j - j 線に沿う模式的断面図, (C) は (A) の k - k 線に沿う模式的断面図) である。

第 3 2 図は、第 3 1 図の広帯域ビデオ増幅器の等価回路図である。

第 3 3 図は、第 3 1 図の広帯域ビデオ増幅器を実装基板に実装した状態を示す模式的断面図である。

第 3 4 図は、本発明の実施形態 1 0 である広帯域ビデオ増幅器の概略構成を示す模式的断面図である。

5 第 3 5 図は、第 3 4 図の広帯域ビデオ増幅器を実装基板に実装した状態を示す模式的断面図である。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、
10 発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

(実施形態 1)

本実施形態では、半導体装置であるパワートランジスタに本発明を適用した例について説明する。

15 第 1 図は本発明の実施形態 1 であるパワートランジスタの概略構成を示す模式的斜視図であり、第 2 図は第 1 図の a - a 線に沿う模式的断面図であり、第 3 図は第 1 図の b - b 線に沿う模式的断面図であり、第 4 図は第 1 図の c - c 線に沿う模式的断面図であり、第 5 図及び第 6 図は第 1 図の半導体チップの概略構成を示す模式的平面図及び模式的底面図
20 であり、第 7 図は第 5 図の d - d 線に沿う模式的断面図であり、第 8 図は第 5 図の e - e 線に沿う模式的断面図であり、第 9 図は第 7 図のゲート導体層の平面パターンを示す模式的平面図である。

第 1 図乃至第 3 図に示すように、本実施形態のパワートランジスタ 1 A は、主に、リード 2、リード 3、複数の突起状電極 8、絶縁性シート
25 9 及び半導体チップ 1 0 を有する構成になっている。

半導体チップ 1 0 は、第 2 図及び第 3 図に示すように、素子形成面

(第1主面) 10Xにソース電極20及びゲート電極21を有し、素子形成面10Xと対向する裏面(第2主面) 10Yにドレイン電極24を有する構成になっている。半導体チップ10の平面形状は第5図及び第6図に示すように方形状で形成され、本実施形態においては例えば3.

5 9 [mm] × 2. 4 [mm] の長方形で形成されている。

半導体チップ10は、第7図に示すように、例えば、単結晶シリコンからなるn+型半導体基板11Aの主面上に単結晶シリコンからなるn-型半導体層11Bが形成された半導体基体11を主体に構成されている。半導体基体11の主面の素子形成領域(活性領域)には、トランジスタ
10 素子として、例えば縦型構造のnチャネル導電型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) が形成されている。

MOSFETは、主に、チャネル形成領域、ゲート絶縁膜13A、ゲート導体層14A、ソース領域及びドレイン領域を有する構成になっている。チャネル形成領域は、n-型半導体層11Bに形成されたp型ウエル領域16で構成されている。ソース領域は、p型ウエル領域16に形成されたn+型半導体領域17で構成されている。ドレイン領域は、n-型半導体層11B及びn+型半導体基板11Aで構成されている。ゲート絶縁膜13Aは、n-型半導体層11Bの主面から深さ方向に向って延びる溝12の内面を沿うようにして形成され、例えば酸化シリコン膜で
15 形成されている。ゲート導体層14Aは、溝12の内部にゲート絶縁膜13Aを介して埋め込まれ、例えば抵抗値を低減する不純物が導入された多結晶シリコン膜で形成されている。即ち、MOSFETはトレンチ・ゲート型で構成されている。トレンチ・ゲート型のMOSFETは、半導体基体の主面上にゲート絶縁膜を介してゲート導体層が形成された
20 MOSFETと比べて占有面積を縮小することができるので、パワートランジスタの小型化及び低オン抵抗化に好適である。

半導体基体 1 1 の主面である n-型半導体層 1 1 B の主面の素子形成領域は、溝 1 2 によって複数の島領域に区分されている。この複数の島領域の夫々は行列状に規則的に配置され、その平面形状は扁平八角形で形成されている。即ち、ゲート導体層 1 4 A は、第 9 図に示すように、溝 1 2 によって区分された複数の島領域の夫々を囲むメッシュ・パターンで形成されている。なお、ソース領域である n+型半導体領域 1 7 は溝 1 2 によって区分された島領域の主面に形成されている。

n+型半導体領域 1 7、p 型ウェル領域 1 6 の夫々は、第 7 図に示すように、層間絶縁膜 1 8 に形成された開口 1 9 を通して、その上層に形成されたソース電極 2 0 と電氣的に接続されている。層間絶縁膜 1 8 は、ゲート導体層 1 4 A とソース電極 2 0 との間に設けられ、ゲート導体層 1 4 A とソース電極 2 0 とを絶縁分離している。ソース電極 2 0 は、例えばアルミニウム (A 1) 膜又はアルミニウム合金膜等の金属膜で形成されている。なお、ゲート導体層 1 4 A と層間絶縁膜 1 8 との間には絶縁膜 1 5 が形成されている。

ゲート導体層 1 4 A は、第 8 図及び第 9 図に示すように、n-型半導体層 1 1 B の主面の周辺領域 (非活性領域) 上に絶縁膜 1 3 B を介して形成されたゲート引出用配線 1 4 B と一体化されている。ゲート引出用配線 1 4 B は、詳細に図示していないが、層間絶縁膜 1 8 に形成された開口を通して、その上層に形成されたゲート電極 2 1 と電氣的に接続されている。ゲート電極 2 1 はソース電極 2 0 と同じ層に形成され、ソース電極 2 0、ゲート電極 2 1 の夫々は互いに絶縁分離されている。

ソース電極 2 0、ゲート電極 2 1 の夫々は、第 5 図、第 7 図及び第 8 図に示すように、これらの上層に形成された表面保護膜 2 2 で覆われている。表面保護膜 2 2 には複数のボンディング開口 2 3 が形成され、この複数のボンディング開口 2 3 の夫々を通して複数の突起状電極 8 がソ

ソース電極 20 及びゲート電極 21 に電氣的にかつ機械的に接続されている。表面保護膜 22 は、例えば酸化シリコン膜で形成されている。突起状電極 8 としては、これに限定されないが、例えば金 (Au) バンプが用いられている。Au バンプは、Au ワイヤを使用し、熱圧着に超音波振動を併用したボール・ボンディング法で形成することができる。ボール・ボンディング法によって形成された Au バンプは、半導体チップの電極と強固に接続される。

ソース電極 20、ゲート電極 21 の夫々の平面形状は、第 5 図に示すように、方形で形成されている。本実施形態において、ソース電極 20 は例えば 3.1 [mm] × 2.0 [mm] の長方形で形成され、ゲート電極 21 は例えば 0.4 [mm] × 0.6 [mm] の長方形で形成されている。一方、ドレイン電極 24 は、第 6 図に示すように、半導体チップ 10 の裏面 10Y の全域に形成されている。ドレイン電極 24 は、第 7 図に示すように、n+型半導体基板 11A の主面と対向する裏面に形成され、n+型半導体基板 11A と電氣的に接続されている。ドレイン電極 24 は例えば Au 膜で形成されている。

第 1 図及び第 2 図に示すように、リード 2 は、半導体チップ 10 のソース電極 20 上に位置する第 1 部分 2A と、この第 1 部分 2A と一体に形成され、かつ半導体チップ 10 の互いに対向する二つの長辺のうちの一方の長辺 10a の外側に位置する第 2 部分 2B とを有する構成になっている。

リード 2 の第 1 部分 2A は、ソース電極 20 の面積よりも大きい面積で形成され、ソース電極 20 を覆うようにして配置されている。本実施形態において、リード 2 の第 1 部分 2A は、例えば 3.2 [mm] × 2.6 [mm] 程度の大きさで形成されている。

リード 2 の第 1 部分 2A は、複数の突起状電極 8 を介在して半導体チ

チップ 10 のソース電極 20 と電氣的にかつ機械的に接続され、更に、絶縁性シート 9 を介在して半導体チップ 10 の素子形成面 10 X に接着固定されている。即ち、リード 2 は、絶縁性シート 9 及び突起状電極 8 によって半導体チップ 10 の素子形成面 10 X に強固に保持されている。

- 5 第 1 図及び第 3 図に示すように、リード 3 は、半導体チップ 10 のゲート電極 21 上に位置する第 1 部分 3 A と、この第 1 部分 3 A と一体に形成され、かつ半導体チップ 10 の一方の長辺 10 a の外側に位置する第 2 部分 3 B とを有する構成になっている。

10 リード 3 の第 1 部分 3 A は、ゲート電極 21 の面積よりも大きい面積で形成され、ゲート電極 21 を覆うようにして配置されている。本実施形態において、リード 3 の第 1 部分 3 A は、例えば 0.5 [mm] × 2.6 [mm] 程度の大きさで形成されている。

15 リード 3 の第 1 部分 3 A は、複数の突起状電極 8 を介在して半導体チップ 10 のゲート電極 21 と電氣的にかつ機械的に接続され、更に、絶縁性シート 9 を介在して半導体チップ 10 の素子形成面 10 X に接着固定されている。即ち、リード 3 は、絶縁性シート 9 及び突起状電極 8 によって半導体チップ 10 の素子形成面 10 X に強固に保持されている。

20 リード 2 及びリード 3 の夫々の第 1 部分 (2 A, 3 A) と半導体チップ 10 の夫々の電極 (ソース電極 20, ゲート電極 21) 上に形成された突起状電極 8 との接続は熱圧着にて行われている。熱圧着された突起状電極 8 は、例えば幅 ϕ が 100 [μ m] 程度、高さ h が 50 [μ m] 程度の大きさになっている。リード 2 及びリード 3 の厚さ (2 t, 3 t) は、例えば 0.15 [mm] 程度になっている。半導体チップ 10 の厚さ 10 t は、例えば 0.3 [mm] 程度になっている。

- 25 第 1 図乃至第 3 図に示すように、リード 2 及びリード 3 の夫々の第 2 部分 (2 B, 3 B) は、夫々の先端部 (2 B 4, 3 B 4) が半導体チッ

プ 1 0 の裏面 1 0 Y 側に位置するように折り曲げられている。本実施形態において、リード 2 及びリード 3 の夫々の第 2 部分 (2 B , 3 B) は、表面実装型リード形状の一つであるガルウィング型に折り曲げ成形されている。

- 5 リード 2 及びリード 3 の夫々の第 2 部分 (2 B , 3 B) の先端部 (2 B 4 , 3 B 4) は、半導体チップ 1 0 の高さ方向 1 0 S において、半導体チップ 1 0 の裏面 1 0 Y とほぼ同じ高さに配置されている。

10 ガルウィング型に折り曲げ成形されたリード 2 の第 2 部分 2 B は、リード 2 の第 1 部分 2 A から半導体チップ 1 0 の一方の長辺 1 0 a の外側に突出する突出部分 (肩部分) 2 B 1 と、この突出部分 2 B 1 から半導体チップ 1 0 の裏面 1 0 Y 側に折れ曲がる中間部分 2 B 2 と、この中間部分 2 B 2 から突出部分 2 B 1 と同一方向に延びる実装部分 (接続部分) 2 B 3 とを有する構成になっている。

15 ガルウィング型に折り曲げ成形されたリード 3 の第 2 部分 3 B は、リード 3 の第 1 部分 3 A から半導体チップ 1 0 の一方の長辺 1 0 a の外側に突出する突出部分 3 B 1 と、この突出部分 3 B 1 から半導体チップ 1 0 の裏面 1 0 Y 側に折れ曲がる中間部分 3 B 2 と、この中間部分 3 B 2 から突出部分 3 B 1 と同一方向に延びる実装部分 3 B 3 とを有する構成になっている。

20 絶縁性シート 9 は、リード 2 及びリード 3 の夫々の第 1 部分 (2 A , 3 A) と半導体チップ 1 0 との間に配置され、複数の突起状電極 8 が配置された領域を除いて半導体チップ 1 0 の素子形成面 1 0 X を覆っている。絶縁性シート 9 としては、これに限定されないが、例えば導電性粒子を含まないエポキシ系の熱硬化樹脂からなる樹脂シートが用いられて
25 いる。リード 2 及びリード 3 の夫々の第 1 部分 (2 A , 3 A) の上面 (2 A X , 3 A X) は、絶縁性シート 9 から露出している。

第1図に示すように、リード2には、その第2部分2Bの先端部2B4から半導体チップ10に向かって延びるスリット4Aが設けられている。本実施形態において、スリット4Aは二つ設けられ、第2部分2Bの先端部2B4から突出部分2B1まで延びている。

- 5 第1図及び第4図に示すように、リード2の幅2Wは、低オン抵抗化を図るためにリード3の幅3Wよりも広くなっている。本実施形態において、リード2の幅2Wは例えば3.2 [mm] 程度で形成され、リード3の幅3Wは例えば0.5 [mm] 程度で形成されている。

- 10 なお、リード2の第1部分2Aは、半導体チップ10の互いに対向する二つの短辺のうちの一方の短辺10cの外側及び他方の長辺10bの外側に若干突出している（第2図及び第4図参照）。リード3の第1部分3Aは、半導体チップ10の他方の短辺10dの外側及び他方の長辺10bの外側に若干突出している（第3図及び第4図参照）。絶縁シート9は、半導体チップ10の各辺（10a, 10b, 10c, 10d）
15 の外側に若干突出している。

- ところで、表面実装型パッケージにおいては、半導体チップを環境から保護し、リードを強固に保持する必要がある。TSSOP型のように、樹脂成形（樹脂モールド）によって半導体チップの保護及びリードの保持を行う従来のパッケージ構造では、成形金型を用いて樹脂成形する時
20 に、半導体チップの素子形成面側及び裏面側に樹脂を流すための樹脂通路が必要であるため、この樹脂通路の厚さに相当する分、パッケージ全体の厚さが厚くなる。

- これに対し、本実施形態のパワートランジスタ1Aでは、半導体チップ10がその素子形成面10Xを覆う絶縁性シート9によって保護され、
25 リード2及びリード3が絶縁性シート9によって半導体チップ10の素子形成面10Xに保持されている。絶縁性シート9による半導体チップ

10の保護及びリード(2, 3)の保持は、後で詳細に説明するが、半
導体チップ10の素子形成面10Xとリード2及びリード3の夫々の第
1部分(2A, 3A)との間に絶縁性シート9を介在し、更に半導体チ
ップ10の電極(ソース電極20, ゲート電極21)とリード2及びリ
5ード3の夫々の第1部分(2A, 3A)との間に突起状電極8を介在し
て熱圧着することによって行われるため、樹脂成形によって半導体チ
ップの保護及びリードの保持を行う従来のパッケージで必要な樹脂通路が
不要である。従って、樹脂通路の厚さに相当する分、パッケージ全体の
厚さが薄くなる。また、半導体チップ10の電極(ソース電極20, ゲ
10ート電極21)とリード2及びリード3の夫々の第1部分(2A, 3
A)との電気的な接続を突起状電極8によって行っているため、導電性
ワイヤを用いた場合と比べてパッケージ全体の厚さが薄くなる。

TSSOP型のように、半導体チップ及びリードの内部リード部を樹
脂封止体で封止する従来のパッケージ構造では、半導体チップ及びリー
15ドの内部リード部が熱伝導性の低い樹脂によって覆われているため、半
導体チップで発生した熱を外部に放出する放熱性が低い。

これに対し、本実施形態のパワートランジスタ1Aでは、半導体チッ
プ10の側面及び裏面10Y、リード(2, 3)の第1部分(2A, 3
A)の上面(2AX, 3AX)及び第2部分(2B, 3B)全体が絶縁
20性シート9から露出するため、半導体チップ10から発生した熱を外部
に放出する放熱性が高い。

TSSOP型のように、半導体チップの素子形成面の電極とリードと
を導電性ワイヤで電気的に接続する従来のパッケージ構造では、半導体
チップの電極とリードとの間の導電経路が長くなるため、パワートラン
25ジスタにおいては低オン抵抗化を阻害する要因となる。

これに対し、本実施形態のパワートランジスタ1Aでは、半導体チッ

プ 1 0 の電極（ソース電極 2 0，ゲート電極 2 1）とリード 2 及びリード 3 の夫々の第 1 部分（2 A，3 A）との電氣的な接続を突起状電極 8 によって行っているため、半導体チップ 1 0 の電極（ソース電極 2 0，ゲート電極 2 1）とリード（2，3）との間の導電経路が短くなる。従
5 って、パワートランジスタ 1 A のオン抵抗が低くなる。

次に、パワートランジスタ 1 A の製造に用いられるリードフレームについて、第 1 0 図を用いて説明する。第 1 0 図はリードフレームの概略構成を示す模式的平面図である。

第 1 0 図に示すように、リードフレーム L F は、フレーム本体 5 で規定された複数のリード配置領域 6 を行列状に配置した構成になっている。
10 各リード配置領域 6 には、リード 2 及びリード 3 が配置されている。リード 2、リード 3 の夫々はフレーム本体 5 と一体に形成され、夫々の第 2 部分（2 B，3 B）がフレーム本体 5 に連結されている。リード 2 には、二つのスリット（4 A）が設けられている。

15 リードフレーム L F は、例えば銅（C u）からなる金属板又は C u 系の合金材からなる金属板にエッチング加工又はプレス加工を施して所定のリードパターンを加工することによって形成される。C u 又は C u 系の合金材は、リードフレームの材料として用いられる鉄（F e）－ニッケル（N i）系の合金材よりも導電性及び熱伝導性に優れている。

20 次に、パワートランジスタ 1 A の製造方法について、第 1 1 図乃至第 1 4 図を用いて説明する。第 1 1 図乃至第 1 4 図はパワートランジスタの製造方法を説明するための模式的断面図である。なお、第 1 1 図乃至第 1 4 図において、リード 3 は図示していない。

まず、第 5 図及び第 6 図に示す半導体チップ 1 0 と、第 1 0 図に示す
25 リードフレーム L F を準備する。半導体チップ 1 0 のソース電極 2 0 上及びゲート電極 2 1 上には複数の突起状電極 8 が形成されている。突起

状電極 8 の形成は、半導体ウエハを個々の半導体チップに分割する前、即ち半導体ウエハの段階にて行うことが望ましい。その理由は、半導体ウエハを個々の半導体チップに分割した後では処理単位がウエハ状態に比べて数百倍に膨れ上がるため処理が煩雑となり、品質、コストに影響を及ぼす。また、半導体チップの平面形状の面積が $10 \text{ [mm}^2\text{]}$ 以下となるため処理が煩雑となり、品質、コストに影響を及ぼす。熱圧着される前の突起状電極 8 の高さは $60 \text{ [}\mu\text{m}\text{]}$ 程度である。

次に、第 11 図に示すように、リード 2 の第 1 部分 2 A 及びリード 3 の第 1 部分 3 A に絶縁性シート 9 を貼り付ける。絶縁性シート 9 としては、例えば導電性粒子を含まないエポキシ系の熱硬化樹脂からなる樹脂シートを用いる。なお、絶縁性シート 9 は、半導体チップの平面サイズと同等又はそれよりも若干大きい平面サイズのものを用いることが望ましい。その理由は、絶縁性シート 9 の位置ずれ及び半導体チップ 10 の位置ずれが生じて、半導体チップ 10 の周縁におけるリード (2, 3) との短絡を抑制できるからである。本実施形態では、 $4.0 \text{ [mm]} \times 2.5 \text{ [mm]}$ の絶縁性シート 9 を用いた。また、絶縁性シート 9 は、突起状電極 8 の高さと同様又はそれよりも若干厚いものを用いることが望ましい。その理由は、半導体チップ 10 の電極 (20, 21) とリード (2, 3) の第 1 部分 (2 A, 3 A) とを電氣的に接続するボンディング工程時に突起状電極 8 の先端部が潰れるため、厚くし過ぎると半導体チップ 10 からはみ出る量が増加して外観不良を招く要因となる。逆に薄くし過ぎると絶縁性シート 9 によるリード (2, 3) の固定強度が低くなり、リード (2, 3) が剥がれるといった不具合を招く要因となる。本実施形態では、突起状電極 8 の高さが $60 \text{ [}\mu\text{m}\text{]}$ 程度なので、厚さが $60 \text{ [}\mu\text{m}\text{]}$ 程度の絶縁性シート 9 を用いた。

次に、リードフレーム LF をヒートステージ 30 に装着し、その後、

リード2及リード3の夫々の第1部分(2A, 3A)上に半導体チップ10を位置決めして配置する。この時、半導体チップ10は、その素子形成面10Xがリード2及びリード3の夫々の第1部分(2A, 3A)と向い合う状態で配置する。

- 5 次に、第12図に示すように、ヒートステージ30を200[℃]程度に加熱した状態で、半導体チップ10の裏面10Y側からボンディングツール31で加圧する。ボンディングツール31による加圧は一つの突起状電極当たり50～500[g]の力で行う。この時、絶縁性シート9はヒートステージ30からの熱によって一旦溶融し、その後硬化する。
- 10 一方、突起状電極8は球形状になっているため、溶融した絶縁性シート9を挟み込むことなくリード2及びリード3の夫々の第1部分(2A, 3A)と接触し、先端部が押し潰されて良好な接合がなされる。

- この工程において、半導体チップ10の素子形成面10Xは複数の突起状電極8が配置された領域を除いて絶縁性シート9で覆われる。また、
- 15 リード2及びリード3の夫々の第1部分(2A, 3A)は半導体チップ10の素子形成面10Xに絶縁性シート9で接着固定される。即ち、半導体チップ10の素子形成面10Xは絶縁性シート9によって保護され、リード2及びリード3は絶縁性シート9によって半導体チップ10に強固に保持される。

- 20 次に、ベーク処理を施して絶縁性シート9を硬化させる。ベーク処理は180[℃]程度の温度雰囲気中で約30分間ほど行う。

- 次に、リードフレームLFのフレーム本体5からリード2及びリード3を切断し、その後、リード2及びリード3の夫々の第2部分(2B, 3B)をガルウィング型に折り曲げ成形する。折り曲げ成形は、まず、
- 25 第13図に示すように、リード2及びリード3の夫々の第2部分(2B, 3B)の突出部分(2B1, 3B1)をリード抑え部材32Aと曲げ台

3 2 B の突起部とでクランプし、その後、リード 2 及びリード 3 の夫々の第 2 部分の実装部分 (2 B 3, 3 B 3) に曲げポンチ 3 3 を接触させ、その後、第 1 4 図に示すように、曲げ台 3 2 B の突起部に向かって曲げポンチ 3 3 を斜め移動させることによって行なわれる。

- 5 この工程において、リード 2 の幅 2 W は、低オン抵抗化を図るためリード 3 の幅 3 W よりも広くなっている。このため、リード 2 の方がリード 3 よりも折り曲げ成形に対する難易度が高いが、リード 2 の第 2 部分 2 B には、その先端部 2 B 4 から半導体チップ 1 0 に向かって突出部分 2 B 1 まで延びる二つのスリット 4 A が設けられているので、折り曲げ
10 成形の難易度を低くすることができる。

この後、リード 2 及びリード 3 の第 2 部分 (2 B, 3 B) の夫々の先端位置を揃える切断処理を施すことにより、本実施形態のパワートランジスタ 1 A がほぼ完成する。

- このように構成されたパワートランジスタ 1 A は、第 1 5 図 (実装基
15 板に実装した状態を示す模式的断面図) に示すように、実装基板 3 5 に実装される。リード (2, 3) の実装部分 (2 B 3, 3 B 3) は、実装基板 3 5 のリード接続用端子 (配線の一部) 3 6 に導電性の接着材 (例えば P b - S n 組成の導電材) 3 8 によって電氣的にかつ機械的に接続される。半導体チップ 1 0 の裏面 1 0 Y のドレイン電極 2 4 は、実
20 装基板 3 5 のチップ接続用端子 (配線の一部) 3 7 に接着材 3 8 によって電氣的にかつ機械的に接続される。

- パワートランジスタ 1 A の実装は、これに限定されないが、例えば、実装基板 3 5 のリード接続用端子 3 6 上及びチップ接続用端子 3 7 上にペースト状の接着材を形成し、その後、リード接続用端子 3 6 上に接着
25 材を介在してリード (2, 3) の実装部分 (2 B 3, 3 B 3) を配置すると共に、チップ接続用端子 3 7 上に接着材を介在して半導体チップ 1

0の裏面10Yのドレイン電極24を配置し、その後、実装基板35を赤外線リフロー炉に搬送し、その後、接着材を溶融して硬化される。これにより、パワートランジスタ1Aは、実装基板35に実装される。

このパワートランジスタ1Aの実装工程において、リード(2, 3)の第2部分(2B, 3B)は、表面実装型リード形状の一つであるガルウィング型に折り曲げ成形されている。従って、実装基板35にパワートランジスタ1Aを実装する時の熱膨張に起因して生じる応力をリード(2, 3)の第2部分(2B, 3B)の弾性変形によって緩和することができる。また、実装後の実装基板35の反りに起因して生じる応力も緩和することができる。

なお、本実施形態のパワートランジスタ1Aは、半導体チップ裏面10Yのドレイン電極24が実装基板35のチップ接続用端子37に接着材38を介在して接合される構成になっている。従って、第16図及び第17図(リードの先端位置を説明するための模式的断面図)に示すように、リード2及びリード3の夫々の第2部分(2B, 3B)の先端部(2B4, 3B4)は、半導体チップ10の厚さ方向10Sにおいて、先端部(2B4, 3B4)の上縁部(2B4X, 3B4X)が半導体チップ裏面10Yよりも高く、先端部(2B4, 3B4)の下縁部(2B4Y, 3B4Y)が半導体チップ裏面10Yよりも低くなる高さに配置されていることが望ましい。

以上説明したように、本実施形態によれば以下の効果が得られる。

[1] パワートランジスタ1Aは、素子形成面10Xに形成されたソース電極20及びゲート電極21と、裏面10Yに形成されたドレイン電極24とを有する半導体チップ10と、

ソース電極20上に位置する第1部分2Aと、第1部分2Aと一体に形成され、かつ半導体チップ10の一方の長辺10aの外側に位置する

第 2 部分 2 B とを有するリード 2 と、

ゲート電極 2 1 上に位置する第 1 部分 3 A と、第 1 部分 3 A と一体に形成され、かつ半導体チップ 1 0 の一方の長辺 1 0 a の外側に位置する第 2 部分とを有するリード 3 と、

- 5 リード 2 の第 1 部分 2 A とソース電極 2 0 との間及びリード 3 の第 1 部分 3 A とゲート電極 2 1 との間に配置され、かつ夫々を電氣的に接続する複数の突起状電極 8 と、

- 10 リード 2 の第 1 部分 2 A と半導体チップ 1 0 の素子形成面 1 0 X との間及びリード 3 の第 1 部分 3 A と半導体チップ 1 0 の素子形成面 1 0 X との間に配置された絶縁性シート 9 であって、複数の突起状電極 8 が配置された領域以外の半導体チップ 1 0 の素子形成 1 0 X を覆う絶縁性シート 9 とを有する構成になっている。

- 15 このような構成にすることにより、半導体チップ 1 0 の素子形成面 1 0 X 側及び裏面 1 0 Y 側に樹脂を流すための樹脂通路が不要なので、この樹脂通路の厚さに相当する分、パッケージ全体の厚さが薄くなる。また、半導体チップ 1 0 の電極（ソース電極 2 0、ゲート電極 2 1）とリード 2 及びリード 3 の夫々の第 1 部分（2 A、3 A）との電氣的な接続を突起状電極 8 によって行っているので、導電性ワイヤを用いた場合と比べてパッケージ全体の厚さが薄くなる。この結果、パワートランジスタ 1 A の薄型化を図ることができる。

また、半導体チップ 1 0 の側面及び裏面 1 0 Y、リード（2、3）の第 1 部分（2 A、3 A）の上面（2 A X、3 A X）及び第 2 部分（2 B、3 B）全体が絶縁性シート 9 から露出するので、半導体チップ 1 0 から発生した熱を外部に放出する放熱性の向上を図ることができる。

- 25 また、半導体チップ 1 0 の電極（ソース電極 2 0、ゲート電極 2 1）とリード 2 及びリード 3 の夫々の第 1 部分（2 A、3 A）との電氣的な

接続を突起状電極 8 によって行っているので、半導体チップ 10 の電極（ソース電極 20、ゲート電極 21）とリード（2、3）との間の導電経路が短くなる。この結果、パワートランジスタ 1 A の低オン抵抗化を図ることができる。

- 5 〔2〕リード 2 の幅 2 W はリード 3 の幅 3 W よりも広い幅で形成され、リード 2 にはその第 2 部分 2 B の先端部 2 B 4 から半導体チップ 10 に向かって突出部分 2 B 1 まで延びる二つのスリット 4 A が設けられている。

このような構成にすることにより、低オン抵抗化及び放熱性の向上を図るためにリード 2 の幅 2 W を広くしても、リード 2 の第 2 部分 2 B を折り曲げ成形する時の難易度を低くすることができるので、リードの折り曲げ工程における生産性を高めることができる。

〔3〕リード 2 及びリード 3 の夫々の第 2 部分（2 B、3 B）はガルウイング型に折り曲げ成形されている。

- 15 このような構成にすることにより、実装基板 35 にパワートランジスタ 1 A を実装する時の熱膨張に起因して生じる応力をリード（2、3）の第 2 部分（2 B、3 B）の弾性変形によって緩和することができると共に、実装後の実装基板 35 の反りに起因して生じる応力も緩和することができるので、突起状電極 8 に応力が集中して起こる突起状電極 8 の
20 破損を抑制することができる。この結果、パワートランジスタ 1 A の実装に対する信頼性を高めることができる。

特に、携帯電話、携帯型情報処理端末機器、携帯型パーソナル・コンピュータ等の小型電子機器に組み込まれる実装基板においては厚さが薄く反り易いため、実装基板の反りによる応力をリードの弾性変形によって緩和することは重要である。

なお、本実施形態では、リード（2、3）に半導体チップ 10 を取り

付けた後に、リード（２，３）の第２部分（２Ｂ，３Ｂ）の折り曲げ成形を実施した例について説明したが、第１８図（模式的断面図）に示すように、リード（２，３）に半導体チップ１０を取り付ける前に、リード（２，３）の第２部分（２Ｂ，３Ｂ）の折り曲げ成形を実施してもよい。この場合、折り曲げ工程において発生する半導体チップ１０の破損等を実質的に排除することができるので、パワートランジスタ１Ａの歩留まりの向上を図ることができる。

また、本実施形態では、リード（２，３）に絶縁性シート９を貼り付けた例について説明したが、絶縁性シート９の貼り付けは半導体チップ１０に行ってもよい。

また、本実施形態では、二つのスリット４Ａを設けた例について説明したが、これに限らず一つ又は三つ以上設けてもよい。但し、スリット４Ａの数は、オン抵抗、熱抵抗及び折り曲げ成形の難易度等を考慮して決定する必要がある。

また、本実施形態では、突起状電極８としてＡｕバンプを用いた例について説明したが、他の材料（例えば半田材）であってもよく、また、他の方法（例えば蒸着法、ボール供給法等）で形成されるものであってもよい。

また、本実施形態では、絶縁性シート９として、導電性粒子を含まないエポキシ系の熱硬化性樹脂からなる樹脂シートを用いた例について説明したが、導電性粒子を含まない他の材料（例えばポリイミド系の熱可塑性樹脂）からなるものを用いてもよい。

（実施形態２）

第１９図は、本発明の実施形態２であるパワートランジスタの概略構成を示す模式的斜視図である。

第１９図に示すように、本実施形態のパワートランジスタ１Ｂは、基

本的に前述の実施形態 1 と同様の構成になっており、以下の構成が異なっている。

即ち、リード 2 に設けられた二つのスリット 4 A は、リード 2 の先端部 2 B 4 からリード 2 の第 1 部分 2 A まで延びている。このような構成
5 にすることにより、半導体チップ 1 0 の素子形成面 1 0 X にリード 2 の第 1 部分 2 A を熱圧着にて取り付ける時、巻き込まれた空気や、絶縁性シート 9 から発生したガスが逃げやすくなるので、ボイドの発生を抑制することができる。但し、前述の実施形態 1 の場合と比べて放熱性が低下する。

10 (実施形態 3)

第 2 0 図は、本発明の実施形態 3 であるパワートランジスタの概略構成を示す模式的斜視図である。

第 2 0 図に示すように、本実施形態のパワートランジスタ 1 C は、基本的に前述の実施形態 1 と同様の構成になっており、以下の構成が異な
15 っている。

即ち、リード 2 にはスリット 4 A が設けられていない。このような構成にすることにより、リード 2 と外気との接触面積が増加すると共に、リード 2 の第 1 部分 2 A から第 2 部分 2 B の実装部分 2 B 3 までの電気抵抗が低くなるので、前述の実施形態 1 及び 2 の場合と比べて、更に放
20 熱性の向上及び低オン抵抗化を図ることができる。但し、リード 2 の第 2 部分 2 B の剛性が高くなるので、リード 2 の折り曲げ成形の難易度が高くなる。また、リード 2 の弾性変形による応力吸収が低くなる。

(実施形態 4)

第 2 1 図は、本発明の実施形態 4 であるパワートランジスタの概略構成を示す模式的斜視図である。
25

第 2 1 図に示すように、本実施形態のパワートランジスタ 1 D は、基

本的に前述の実施形態 1 と同様の構成になっており、以下の構成が異なっている。

即ち、リード 2 に設けられた二つのスリット 4 A は、リード 2 の第 2 部分 2 A の先端部 2 B 4 から中間部分 2 B 2 まで延びている。このような構成にすることにより、前述の実施形態 3 の場合と同程度の放熱性及びオン抵抗が得られると共に、前述の実施形態 1 及び 2 の場合と同程度の難易度でリード 2 の折り曲げ成形及びリード 2 の弾性変形による応力吸収を行うことができる。

(実施形態 5)

10 第 2 2 図は、本発明の実施形態 5 であるパワートランジスタの概略構成を示す模式的平面図である。

第 2 2 図に示すように、本実施形態のパワートランジスタ 1 E は、基本的に前述の実施形態 1 と同様の構成になっており、以下の構成が異なっている。

15 即ち、リード 2 は、第 1 部分 2 A 及び第 2 部分 2 B を有し、更に、第 1 部分 2 A と一体に形成され、かつ半導体チップ 1 0 の他方の長辺 1 0 b の外側に位置する第 3 部分 2 C を有する構成になっている。リード 2 の第 3 部分 2 C は、第 2 部分 2 B と同様に、第 1 部分 2 A から半導体チップ 1 0 の他方の長辺 1 0 b の外側に突出する突出部分 2 C 1 と、この
20 突出部分 2 C 1 から半導体チップ 1 0 の裏面 1 0 Y 側に折れ曲がる中間部分 2 C 2 と、この中間部分 2 C 2 から突出部分 2 C 1 と同一方向に延びる実装部分 2 C 3 とを有する構成になっている。

また、リード 3 は、第 1 部分 3 A 及び第 2 部分 3 B を有し、更に、第 1 部分 3 A と一体に形成され、かつ半導体チップ 1 0 の他方の長辺 1 0 b の外側に位置する第 3 部分 3 C を有する構成になっている。リード 3
25 の第 3 部分 3 C は、第 2 部分 3 B と同様に、第 1 部分 3 A から半導体チ

チップ 10 の他方の長辺 10 b の外側に突出する突出部分 3 C 1 と、この突出部分 3 C 1 から半導体チップ 10 の裏面 10 Y 側に折れ曲がる中間部分 3 C 2 と、この中間部分 3 C 2 から突出部分 3 C 1 と同一方向に延びる実装部分 3 C 3 とを有する構成になっている。

- 5 リード 2 の第 3 部分 2 C には、第 2 部分 2 B と同様に、第 3 部分 2 C の先端部 2 C 4 から半導体チップ 10 に向かって突出部分 2 C 1 まで延びる二つのスリット 4 B が設けられている。

このような構成にすることにより、リード 2 及びリード 3 と外気との接触面積が増加すると共に、リード 2 及びリード 3 と実装基板との接合面積が増加するので、前述の実施形態 1 の場合と比べて放熱性が向上する。また、リード 2 から実装基板までの導電経路が前述の実施形態 1 の場合と比べて二倍になるので、前述の実施形態 1 の場合と比べて低オン抵抗化を図ることができる。但し、パワートランジスタの占有面積が増加する。なお、同図に示す符号 3 C 4 は、リード 3 の第 3 部分 3 C の先端部である。

(実施形態 6)

第 23 図は、本発明の実施形態 6 であるパワートランジスタの概略構成を示す図 ((A) は模式的平面図, (B) は (A) の f-f 線に沿う模式的断面図) である。

- 20 第 23 図に示すように、本実施形態のパワートランジスタ 1 F は、基本的に前述の実施形態 5 と同様の構成になっており、以下の構成が異なっている。

即ち、リード 2 は、第 1 部分 2 A、第 2 部分 2 B 及び第 3 部分 2 C を有し、更に、第 1 部分 2 A と一体に形成され、かつ半導体チップ 10 の互いに対向する二つの短辺 (10 c, 10 d) のうちの一方の短辺 10 c の外側に位置する第 4 部分 2 D を有する構成になっている。

また、リード 3 は、第 1 部分 3 A、第 2 部分 3 B 及び第 3 部分 3 C を有し、更に、第 1 部分 3 A と一体に形成され、かつ半導体チップ 10 の他方の短辺 10 d の外側に位置する第 4 部分 3 D を有する構成になっている。

5 このような構成にすることにより、リード 2 及びリード 3 の夫々の第 4 部分 (2 D, 3 D) の面積に相当する分、リード 2 及びリード 3 と外気との接触面積が増加するので、前述の実施形態 5 の場合と比べて放熱性が向上する。但し、前述の実施形態 5 の場合と比べてパワートランジスタの占有面積が大きくなる。

10 なお、リード 2 及びリード 3 の夫々の第 4 部分 (2 D, 3 D) をガルウィング型に折り曲げ成形してもよい。この場合、リード 2 及びリード 3 と実装基板との接合面積が増加するので、実施形態 6 の場合と比べて更に放熱性の向上及び低オン抵抗化を図ることができる。

(実施形態 7)

15 第 24 図は、本発明の実施形態 7 であるパワートランジスタの概略構成を示す図 ((A) は模式的平面図、(B) は (A) の g - g 線に沿う模式的断面図) である。

20 第 24 図に示すように、本実施形態のパワートランジスタ 1 G は、基本的に前述の実施形態 1 と同様の構成になっており、以下の構成が異なっている。

25 即ち、半導体チップ 10 の裏面 10 Y に接着材 35 を介して熱拡散板 36 が接着固定されている。このような構成にすることにより、半導体チップ 10 の裏面 10 Y を保護することができるので、半導体チップ 10 の破損を抑制することができる。また、半導体チップ 10 で発生した熱が熱拡散板 36 によって拡散するので、パワートランジスタの放熱性が向上する。

なお、本実施形態のパワートランジスタ 1 G は、熱拡散板 3 6 が実装基板のチップ接続用端子に接着材を介在して接合される構成になっている。従って、第 2 5 図（リードの先端位置を説明するための模式的断面図）に示すように、リード 2 及びリード 3 の夫々の第 2 部分（2 B, 3 B）の先端部（2 B 4, 3 B 4）は、半導体チップ 1 0 の厚さ方向 1 0 S において、先端部（2 B 4, 3 B 4）の上縁部（2 B 4 X, 3 B 4 X）が熱拡散板 3 6 の裏面 3 6 Y よりも高く、先端部（2 B 4, 3 B 4）の下縁部（2 B 4 Y, 3 B 4 Y）が熱拡散板 3 6 の裏面 3 6 Y よりも低くなる高さに配置されていることが望ましい。

- 10 また、熱拡散板 3 6 は、実装工程において取付ける場合がある。このような場合、取り付けられる熱拡散板 3 6 の厚さ及び接着材の厚さを考慮して、第 2 6 図（リードの先端位置を説明するための模式的断面図）に示すように、リード 2 及びリード 3 の夫々の第 2 部分（2 B, 3 B）の先端部（2 B 4, 3 B 4）が、半導体チップ 1 0 の厚さ方向 1 0 S において、半導体チップ 1 0 の裏面 1 0 Y よりも低い高さに位置するように、リード 2 及びリード 3 を折り曲げておく必要がある。

（実施形態 8）

- 20 第 2 7 図は、本発明の実施形態 8 であるパワートランジスタの概略構成を示す図（（A）は模式的斜視図、（B）は（A）の h-h 線の沿う模式的断面図）であり、第 2 8 図は第 2 7 図の半導体チップの概略構成を示す模式的平面図であり、第 2 9 図は第 2 7 図の半導体チップの配線パターンを示す模式的平面図であり、第 3 0 図は第 2 8 図の i-i 線に沿う模式的断面図である。

- 25 第 2 7 図に示すように、本実施形態のパワートランジスタ 1 I は、基本的に前述の実施形態 1 と同様の構成になっており、以下の構成が異なっている。

即ち、半導体チップ 40 は、素子形成面（第 1 主面）40 X にドレイン電極 52 及びゲート電極 53 を有し、素子形成面 40 X と対向する裏面（第 2 主面）40 Y にソース電極 56 を有する構成になっている。

リード 2 の第 1 部分 2 A は、半導体チップ 40 のドレイン電極 52 上に位置し、複数の突起状電極 8 を介在してドレイン電極 52 に電氣的に接続されている。リード 3 の第 1 部分 3 A は、半導体チップ 40 のゲート電極 53 上に位置し、複数の突起状電極 8 を介在してゲート電極 53 に電氣的に接続されている。

半導体チップ 40 は、第 30 図に示すように、例えば、単結晶シリコンからなる p+ 型半導体基板 41 A の主面上に単結晶シリコンからなる p- 型半導体層 41 B が形成された半導体基体 41 を主体に構成されている。半導体基体 41 の主面の素子形成領域（活性領域）には、トランジスタ素子として、例えば横型構造の n チャネル導電型 MOSFET が形成されている。

MOSFET は、主に、チャネル形成領域、ゲート絶縁膜 45、ゲート導体層 46、ソース領域及びドレイン領域を有する構成になっている。チャネル形成領域は、p- 型半導体層 41 B に形成された p 型ウエル領域 43 で構成されている。ドレイン領域は、p 型ウエル領域 43 及び p- 型半導体層 41 B に形成された n- 型半導体領域 47 A と、p- 型半導体層 41 B に形成され、かつ n- 型半導体領域 47 A に電氣的に接続された n+ 型半導体領域 48 A とで構成されている。ソース領域は、p 型ウエル領域 43 に形成された n- 型半導体領域 47 B と、p 型ウエル領域 43 に形成され、かつ n- 型半導体領域 47 B に電氣的に接続された n+ 型半導体領域 48 B とで構成されている。ゲート導体層 46 は、例えば抵抗値を低減する不純物が導入された多結晶シリコン膜で形成されている。ゲート絶縁膜 45 は、例えば酸化シリコン膜で形成されている。

ゲート導体層 4 6 は、X 方向に向って延在し、Y 方向に所定の間隔を置いて複数配置されている。n-型半導体領域 4 7 A 及び n+型半導体領域 4 8 A と、n-型半導体領域 4 7 B 及び n+型半導体領域 4 8 B は、ゲート導体層 4 6 下のチャネル形成領域を挟むようにして配置され、ゲート導体層 4 6 と同様に X 方向に向って延在している。

n+型半導体領域 4 8 A, 4 8 B の夫々は、層間絶縁膜 4 9 に形成された開口を通して、第 1 層目の金属層に形成された配線 5 0 A, 5 0 C の夫々と電氣的に接続されている。配線 5 0 C は、層間絶縁膜 4 9 に形成された開口を通して、p-型半導体層 4 1 B に形成された p+型半導体領域 4 4 と電氣的に接続されている。p+型半導体領域 4 4 は p+型半導体基板 4 1 A と電氣的に接続され、p+型半導体基板 4 1 A はその裏面に形成されたソース電極 5 6 と電氣的に接続されている。ゲート導体層 4 6 は、詳細に図示していないが、層間絶縁膜 4 9 に形成された開口を通して、第 1 層目の金属層に形成された配線 5 0 B と電氣的に接続されている。配線 5 0 A, 5 0 B の夫々は、層間絶縁膜 5 1 に形成された開口を通して、第 2 層目の金属層に形成されたドレイン電極 5 2、ゲート電極 5 3 の夫々と電氣的に接続されている。ドレイン電極 5 2、ゲート電極 5 3 の夫々は、第 2 8 図及び第 3 0 図に示すように、これらの上層に形成された表面保護膜 5 4 で覆われている。表面保護膜 5 4 には複数のボンディング開口 5 5 が形成され、この複数のボンディング 5 5 の夫々を通して複数の突起状電極 8 がドレイン電極 5 2 及びゲート電極 5 3 に電氣的にかつ機械的に接続されている。

なお、配線 5 0 A, 5 0 B, 5 0 C の夫々は、第 2 9 図に示す配線パターンで形成されている。また、第 3 0 図において、符号 4 2 はフィールド絶縁膜である。

このように構成されたパワートランジスタ 1 I においても、前述の実

施形態 1 と同様の効果が得られる。

(実施形態 9)

本実施形態では、半導体装置である広帯域ビデオ増幅器に本発明を適用した例について説明する。

- 5 第 3 1 図は、本発明の実施形態 9 である広帯域ビデオ増幅器の概略構成を示す図 ((A) は模式的平面図, (B) は (A) の j-j 線に沿う模式的断面図, (C) は (A) の k-k 線に沿う模式的断面図) であり、第 3 2 図は第 3 1 図の広帯域ビデオ増幅器の等価回路図であり、第 3 3 図は第 3 1 図の広帯域ビデオ増幅器を実装基板に実装した状態を示す模式的断面図である。

第 3 1 図に示すように、本実施形態の広帯域ビデオ増幅器 6 0 A は、主に、複数のリード 6 1、一つのリード 6 2、複数の突起状電極 8、絶縁性シート 9 及び半導体チップ 7 0 を有する構成になっている。

- 15 半導体チップ 7 0 の平面形状は方形状で形成され、本実施形態においては長方形で形成されている。半導体チップ 7 0 は、主に、半導体基板と、この半導体基板の主面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層と、この多層配線層を覆うようにして形成された表面保護膜とを有する構成になっている。

- 20 半導体チップ 7 0 の互いに対向する表裏面 (第 1 主面及び第 2 主面) のうちの表面である回路形成面 7 0 X には、半導体チップ 7 0 の外周囲の各辺に沿って複数の電極 7 1 が形成されている。複数の電極 7 1 の夫々は、半導体チップ 7 0 の多層配線層のうちの最上層の配線層に形成されている。最上層の配線層はその上層に形成された表面保護膜で覆われ、この表面保護膜には電極 7 1 の表面を露出するボンディング開口が
25 形成されている。

半導体チップ 7 0 の回路形成面 7 0 X には、第 3 2 図に示す増幅回路

が形成されている。増幅回路は、主に、複数のバイポーラトランジスタ $T_{r1} \sim T_{r13}$ 、複数の抵抗素子 $R_1 \sim R_5$ 等で構成されている。なお、第32図において、複数の電極71のうち、71Aは電源電位（例えば5[V]）に電位固定される電源電位端子であり、71Bは基準電
5 位（例えば0[V]）に電位固定される基準電位端子であり、71C、71Dは信号入力端子であり、71Eは中間電位に電位固定される中間電位端子であり、71Fは出力段電源電位端子であり、71G、71Hは電流出力端子であり、71Iは制御信号入力端子であり、71Jは中間電位に電位固定される中間電位端子である。電極71Bは複数設けら
10 れている。

第31図に示すように、半導体チップ70の互いに対向する二つの長辺（70a、70b）の辺側には、夫々の長辺に沿って複数のリード61が配列されている。半導体チップ70の一方の長辺70a側に配列されたリード61と半導体チップ70の他方の長辺70b側に配列された
15 リード61との間には、半導体チップ70の互いに対向する二つの短辺（70c、70d）を横切るようにしてリード62が延在している。

複数のリード61は、半導体チップ70の電極71上に位置する第1部分61Aと、第1部分と一体に形成され、かつ半導体チップ70の何れか一方の長辺（70a又は70b）の外側に位置する第2部分61B
20 とを有する構成になっている。リード62は、半導体チップ70の電極71上に位置する第1部分62Aと、第1部分62Aと一体に形成され、かつ半導体チップ70の一方の長辺70cの外側に位置する第2部分62Bと、第1部分62Aと一体に形成され、かつ半導体チップ70の他方の長辺70dの外側に位置する第3部分62Cとを有する構成になっ
25 ている。

リード61の第1部分61Aは、突起状電極8を介在して半導体チッ

ブ 7 0 の電極 7 1 と電氣的にかつ機械的に接続され、更に、絶縁性シート 9 を介在して半導体チップ 7 0 の回路形成面 7 0 X に接着固定されている。リード 6 2 の第 1 部分 6 2 A は、突起状電極 8 を介在して半導体チップ 7 0 の電極 7 1 と電氣的にかつ機械的に接続され、更に、絶縁性
5 シート 9 を介在して半導体チップ 7 0 の回路形成面 7 0 X に接着固定されている。即ち、リード 6 1 及びリード 6 2 の夫々の第 1 部分（6 1 A, 6 2 A）は、絶縁性シート 9 及び突起状電極 8 によって半導体チップ 7 0 の回路形成面 7 0 X に保持されている。なお、複数のリード 6 1 のうち、一つのリード 6 1 は半導体チップ 7 0 の電極 7 1 に対して電氣的に
10 接続されていない。

リード 6 1 の第 2 部分 6 1 B、リード 6 2 の第 2 部分 6 2 B 及び第 3 部分 6 2 C は、表面実装型リード形状の一つであるガルウィング型に折り曲げ成形されている。即ち、リード 6 1 の第 2 部分 6 1 B、リード 6 2 の第 2 部分 6 2 B 及び第 3 部分 6 2 C は、第 1 部分（6 1 A, 6 2
15 A）から半導体チップ 7 0 の外側に突出する突出部分（6 1 B 1, 6 2 B 1, 6 2 C 1）と、この突出部分から半導体チップ 7 0 の裏面 7 0 Y 側に折れ曲がる中間部分（6 1 B 2, 6 2 B 2, 6 2 C 2）と、この中間部分から突出部分と同一方向に延びる実装部分（6 1 B 3, 6 2 B 3, 6 2 C 3）とを有する構成になっている。

20 リード 6 2 の幅は、放熱性の向上を図るため、リード 6 1 の幅よりも広がっている。リード 6 2 は、複数の電極 7 1 のうち、基準電位端子である電極 7 1 B と電氣的に接続されている。即ち、リード 6 2 は、基準電位用リードとして用いられている。

絶縁性シート 9 は、リード 2 及びリード 3 の夫々の第 1 部分（2 A, 3 A）と半導体チップ 1 0 との間に配置され、複数の突起状電極 8 が配置された領域を除いて半導体チップ 1 0 の素子形成面 1 0 X を覆ってい
25

る。

このように構成された広帯域増幅器 60A は、第 33 図（実装基板に実装した状態を示す模式的断面図）に示すように、半導体基板 80 に実装される。リード 61 の実装部分 61B3 は、実装基板 80 のリード接続用端子（配線の一部分）81 に導電性の接着材（例えば Pb-Sn 組成の導電材）83 によって電氣的にかつ機械的に接続される。リード 62 の実装部分 61B3, 61C3 は、図示していないが、同様に実装基板 80 のリード接続用端子に接着材によって電氣的にかつ機械的に接続される。

10 このように構成された広帯域ビデオ増幅器 60A によれば、前述の実施形態 1 と同様の効果が得られる。

また、半導体チップ 70 の電極 71 とリード（61, 62）との電氣的な接続を突起状電極 8 によって行っているので、半導体チップ 70 の電極とリード 61 との間の導電経路が短くなることから、広帯域ビデオ増幅器 60A の高速化を図ることができる。

（実施形態 10）

第 34 図は本発明の実施形態 10 である広帯域ビデオ増幅器の模式的断面図であり、第 35 図は第 34 図の広帯域ビデオ増幅器を実装基板に実装した状態を示す模式的断面図である。

20 第 34 図に示すように、本実施形態の広帯域ビデオ増幅器 60B は、基本的に前述の実施形態 9 と同様の構成になっており、以下の構成が異なっている。

即ち、半導体チップ 70 の裏面 70Y に、導電性接着材との濡れ性を有する接着促進層 72 が設けられている。

25 このような構成にすることにより、実装基板に広帯域ビデオ増幅器 60B を実装する際、第 35 図に示すように、実装基板 80 のチップ接続

用ランド 8 2 に半導体チップ 7 0 の裏面 7 0 Y を接着材 8 3 によって接続することができるので、広帯域ビデオ増幅器 6 0 B の放熱性が向上する。

5 以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

例えば、本発明は、バイポーラトランジスタ、絶縁ゲート型バイポーラトランジスタ等のスイッチング素子が搭載されたパワートランジスタ
10 に適用することができる。

また、本発明は、スイッチング素子及び保護回路等の回路が搭載されたパワー I C に適用することができる。

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

15 本発明によれば、半導体装置の薄型化を図ることができる。

本発明によれば、半導体装置の放熱性の向上を図ることができる。

本発明によれば、半導体装置の低オン抵抗化を図ることができる。

本発明によれば、半導体装置の高速化を図ることができる。

20 産業上の利用可能性

以上のように、本発明に係わる半導体装置は、リードフレームを用いて製造される半導体装置に適用して有益であり、また、この半導体装置を用いる携帯電話、ビデオ・カメラ、携帯型情報処理端末機器、携帯型パーソナル・コンピュータ等の小型電子機器に適用して有用である。

請 求 の 範 囲

1. 互いに対向する第1主面及び第2主面と、前記第1主面に形成された第1電極及び第2電極と、前記第2主面に形成された第3電極とを有する半導体チップと、

前記第1電極上に位置する第1部分と、前記第1部分と一体に形成され、かつ前記半導体チップの外側に位置する第2部分とを有する第1リードと、

前記第2電極上に位置する第1部分と、前記第1部分と一体に形成され、かつ前記半導体チップの外側に位置する第2部分とを有する第2リードと、

前記第1リードの第1部分と前記第1電極との間及び前記第2リードの第1部分と前記第2電極との間に配置され、かつ夫々を電氣的に接続する複数の突起状電極と、

前記第1リードの第1部分と前記半導体チップの第1主面との間及び前記第2リードの第1部分と前記半導体チップの第1主面との間に配置された絶縁性シートであって、前記複数の突起状電極が配置された領域以外の前記半導体チップの第1主面を覆う絶縁性シートとを有することを特徴とする半導体装置。

2. 請求の範囲第1項に記載の半導体装置において、

前記第1電極はソース電極であり、前記第2電極はゲート電極であり、前記第3電極はドレイン電極であることを特徴とする半導体装置。

3. 請求の範囲第1項に記載の半導体装置において、

前記第1電極はドレイン電極であり、前記第2電極はゲート電極であり、前記第3電極はソース電極であることを特徴とする半導体装置。

4. 請求の範囲第1項に記載の半導体装置において、

前記第 1 リード及び第 2 リードの夫々の第 2 部分は、夫々の先端部が前記半導体チップの第 2 主面側に位置するように折り曲げられていることを特徴とする半導体装置。

5. 請求の範囲第 4 項に記載の半導体装置において、

- 5 前記第 1 リード及び第 2 リードの夫々の第 2 部分の先端部は、前記半導体チップの厚さ方向において、前記半導体チップの第 2 主面とほぼ同じ高さに配置されていることを特徴とする半導体装置。

6. 請求の範囲第 4 項に記載の半導体装置において、

- 10 前記第 1 リード及び第 2 リードの夫々の第 2 部分の先端部は、前記半導体チップの厚さ方向において、前記先端部の上縁部が前記半導体チップの第 2 主面よりも高く、前記先端部の下縁部が前記半導体チップの第 2 主面よりも低くなる位置に配置されていることを特徴とする半導体装置。

7. 請求の範囲第 4 項に記載の半導体装置において、

- 15 前記第 1 リード及び第 2 リードの夫々の第 2 部分の先端部は、前記半導体チップの厚さ方向において、前記半導体チップの第 2 主面よりも低い位置に配置されていることを特徴とする半導体装置。

8. 請求の範囲第 1 項に記載の半導体装置において、

- 20 前記第 1 リード及び第 2 リードの夫々の第 2 部分は、夫々の第 1 部分から前記半導体チップの外側に突出する突出部分と、前記突出部分から前記半導体チップの第 2 主面側に折れ曲がる中間部分と、前記中間部分から前記突出部分と同一方向に延びる実装部分とを有することを特徴とする半導体装置。

9. 請求の範囲第 1 項に記載の半導体装置において、

- 25 前記第 1 リード及び第 2 リードの夫々の第 1 部分の上面は、前記絶縁性シートから露出していることを特徴とする半導体装置。

10. 請求の範囲第1項に記載の半導体装置において、

前記絶縁性シートは、導電性粒子を含まない熱硬化性樹脂又は熱可塑性樹脂からなることを特徴とする半導体装置。

11. 請求の範囲第1項に記載の半導体装置において、

5 前記第1リードの幅は、前記第2リードの幅よりも広がっていることを特徴とする半導体装置。

12. 請求の範囲第1項に記載の半導体装置において、

更に、前記半導体チップの第2主面に接着固定された熱拡散板を有することを特徴とする半導体装置。

10 13. 互いに対向する第1主面及び第2主面と、前記第1主面に形成された第1電極及び第2電極と、前記第2主面に形成された第3電極とを有し、かつ平面が方形状で形成された半導体チップと、

前記第1電極上に位置する第1部分と、前記第1部分と一体に形成され、かつ前記半導体チップの互いに対向する第1辺及び第2辺のうちの
15 前記第1辺の外側に位置する第2部分とを有する第1リードであって、前記第2部分は、前記第1部分から前記半導体チップの外側に突出する突出部分と、前記突出部分から前記半導体チップの第2主面側に折れ曲がる中間部分と、前記中間部分から前記突出部分と同一方向に延びる実装部分とを有する第1リードと、

20 前記第2電極上に位置する第1部分と、前記第1部分と一体に形成され、かつ前記半導体チップの第1辺の外側に位置する第2部分とを有する第2リードであって、前記第2部分は、前記第1部分から前記半導体チップの外側に突出する突出部分と、前記突出部分から前記半導体チップの第2主面側に折れ曲がる中間部分と、前記中間部分から前記突出部
25 分と同一方向に延びる実装部分とを有する第2リードと、

前記第1リードの第1部分と前記第1電極との間及び前記第2リード

の第 1 部分と前記第 2 電極との間に配置され、かつ夫々を電氣的に接続する複数の突起状電極と、

前記第 1 リードの第 1 部分と前記半導体チップの第 1 主面との間及び前記第 2 リードの第 1 部分と前記半導体チップの第 1 主面との間に配置された絶縁性シートであって、前記複数の突起状電極が配置された領域以外の前記半導体チップの第 1 主面を覆う絶縁性シートとを有することを特徴とする半導体装置。

1 4. 請求の範囲第 1 3 項に記載の半導体装置において、

前記第 1 リードは、前記第 2 リードの幅よりも広い幅で形成され、

10 前記第 1 リードの第 2 部分には、その先端部から前記半導体チップに向かって伸びる一つ又は複数のスリットが設けられていることを特徴とする半導体装置。

1 5. 請求の範囲第 1 4 項に記載の半導体装置において、

15 前記スリットは、前記第 1 リードの第 2 部分の突出部分まで延びていることを特徴とする半導体装置。

1 6. 請求の範囲第 1 4 項に記載の半導体装置において、

前記スリットは、前記第 1 リードの第 1 部分まで延びていることを特徴とする半導体装置。

1 7. 請求の範囲第 1 4 項に記載の半導体装置において、

20 前記スリットは、前記第 1 リードの第 2 部分の中間部分まで延びていることを特徴とする半導体装置。

1 8. 互いに対向する第 1 主面及び第 2 主面と、前記第 1 主面に形成された第 1 電極及び第 2 電極と、前記第 2 主面に形成された第 3 電極とを有し、かつ平面が方形状で形成された半導体チップと、

25 前記第 1 電極上に位置する第 1 部分と、前記第 1 部分と一体に形成され、かつ前記半導体チップの互いに対向する第 1 辺及び第 2 辺のうちの

前記第 1 辺の外側に位置する第 2 部分と、前記第 1 部分と一体に形成され、かつ前記半導体チップの第 2 辺の外側に位置する第 3 部分とを有する第 1 リードであって、前記第 2 部分及び第 3 部分は、前記第 1 部分から前記半導体チップの外側に突出する突出部分と、前記突出部分から前記半導体チップの第 2 主面側に折れ曲がる中間部分と、前記中間部分から前記突出部分と同一方向に延びる実装部分とを有する第 1 リードと、

前記第 2 電極上に位置する第 1 部分と、前記第 1 部分と一体に形成され、かつ前記半導体チップの第 1 辺の外側に位置する第 2 部分と、前記第 1 部分と一体に形成され、かつ前記半導体チップの第 2 辺の外側に位置する第 3 部分とを有する第 2 リードであって、前記第 2 部分及び第 3 部分は、前記第 1 部分から前記半導体チップの外側に突出する突出部分と、前記突出部分から前記半導体チップの第 2 主面側に折れ曲がる中間部分と、前記中間部分から前記突出部分と同一方向に延びる実装部分とを有する第 2 リードと、

前記第 1 リードの第 1 部分と前記第 1 電極との間及び前記第 2 リードの第 1 部分と前記第 2 電極との間に配置され、かつ夫々を電氣的に接続する複数の突起状電極と、

前記第 1 リードの第 1 部分と前記半導体チップの第 1 主面との間及び前記第 2 リードの第 1 部分と前記半導体チップの第 1 主面との間に配置された絶縁性シートであって、前記複数の突起状電極が配置された領域以外の前記半導体チップの第 1 主面を覆う絶縁性シートとを有することを特徴とする半導体装置。

19. 請求の範囲第 18 項に記載の半導体装置において、

前記第 1 リードは、前記第 2 リードの幅よりも広い幅で形成され、

前記第 1 リードの第 2 部分及び第 3 部分には、夫々の先端部から前記半導体チップに向かって延びる一つ又は複数のスリットが設けられてい

ることを特徴とする半導体装置。

20. 請求の範囲第18項に記載の半導体装置において、

前記第1リードは、更に、前記第1リードの第1部分と一体に形成され、かつ前記半導体チップの互いに対向する第3辺及び第4辺のうちの
5 前記第3辺の外側に位置する第4部分を有し、

前記第2リードは、更に、前記第2リードの第1部分と一体に形成され、かつ前記半導体チップの第4辺の外側に位置する第4部分を有することを特徴とする半導体装置。

21. 互いに対向する第1主面及び第2主面と、前記第1主面に形成
10 された第1電極及び第2電極と、前記第2主面に形成された第3電極とを有する半導体チップと、

前記第1電極上に位置する第1部分と、前記第1部分と一体に形成され、かつ前記半導体チップの外側に位置する第2部分とを有する第1リードと、

15 前記第2電極上に位置する第1部分と、前記第1部分と一体に形成され、かつ前記半導体チップの外側に位置する第2部分とを有する第2リードと、

前記第1リードの第1部分と前記第1電極との間及び前記第2リードの第1部分と前記第2電極との間に配置され、かつ夫々を電氣的に接続
20 する複数の突起状電極と、

前記第1リードの第1部分と前記半導体チップの第1主面との間及び前記第2リードの第1部分と前記半導体チップの第1主面との間に配置された絶縁性シートであって、前記複数の突起状電極が配置された領域以外の前記半導体チップの第1主面を覆う絶縁性シートとを有する半導
25 体装置の製造方法であって、

前記半導体チップの第1電極と前記第1リードの第1部分との間及び

- 前記半導体チップの第2電極と前記第2リードの第1部分との間に前記絶縁性シート及び前記突起状電極を介在させた状態で、前記第1リード及び第2リードの夫々の第1部分を圧着して夫々を電氣的に接続する工程の前に、前記第1リード及び第2リードの夫々の第2部分に折り曲げ
- 5 加工を施して前記第2部分の先端部を前記半導体チップの第2主面側に位置させる工程を備えたことを特徴とする半導体装置の製造方法。

FIG.1

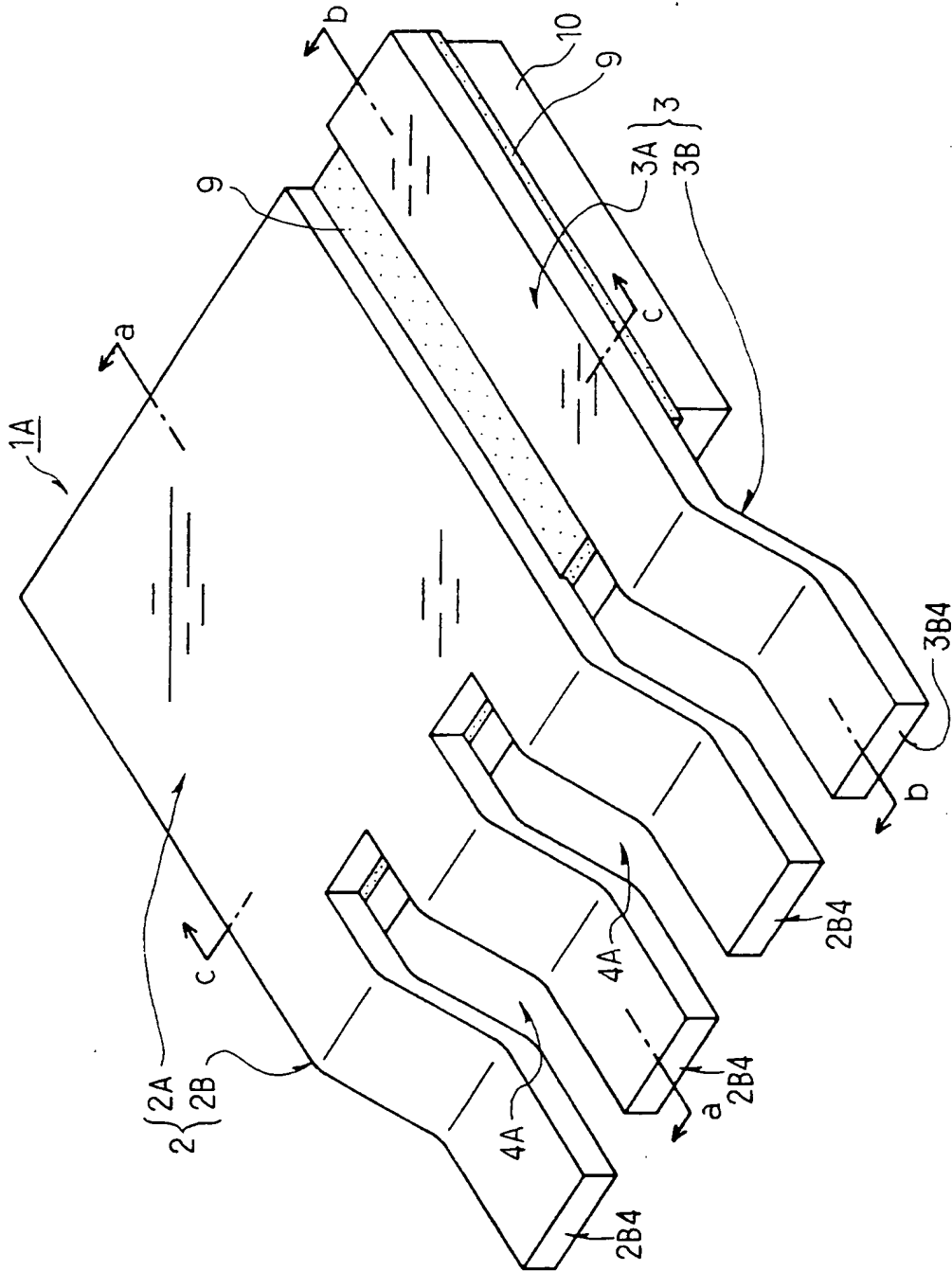


FIG.2

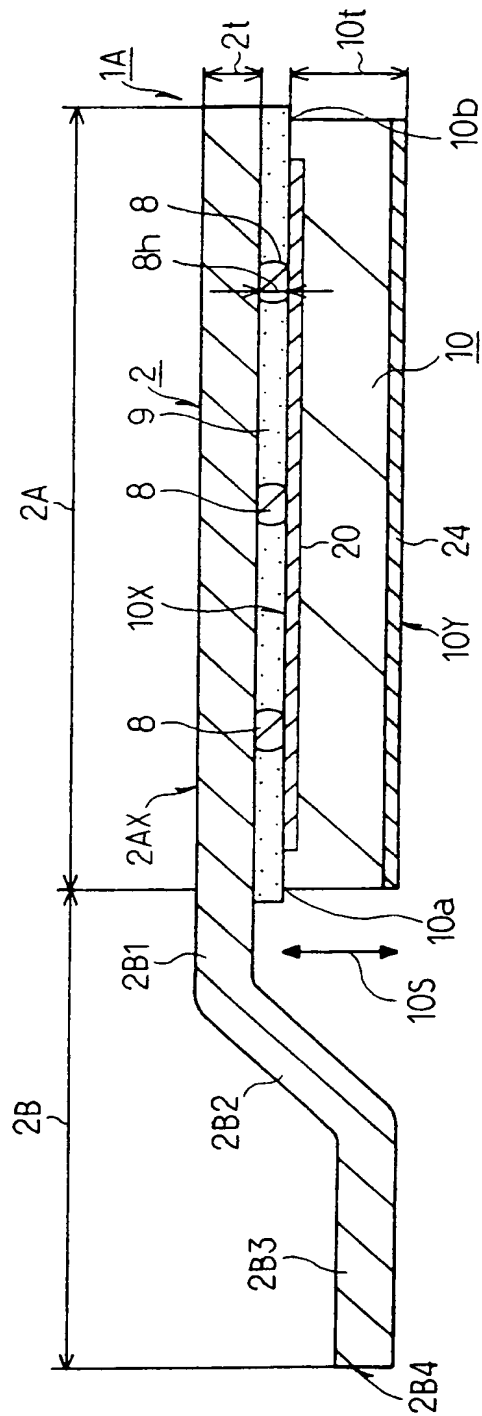
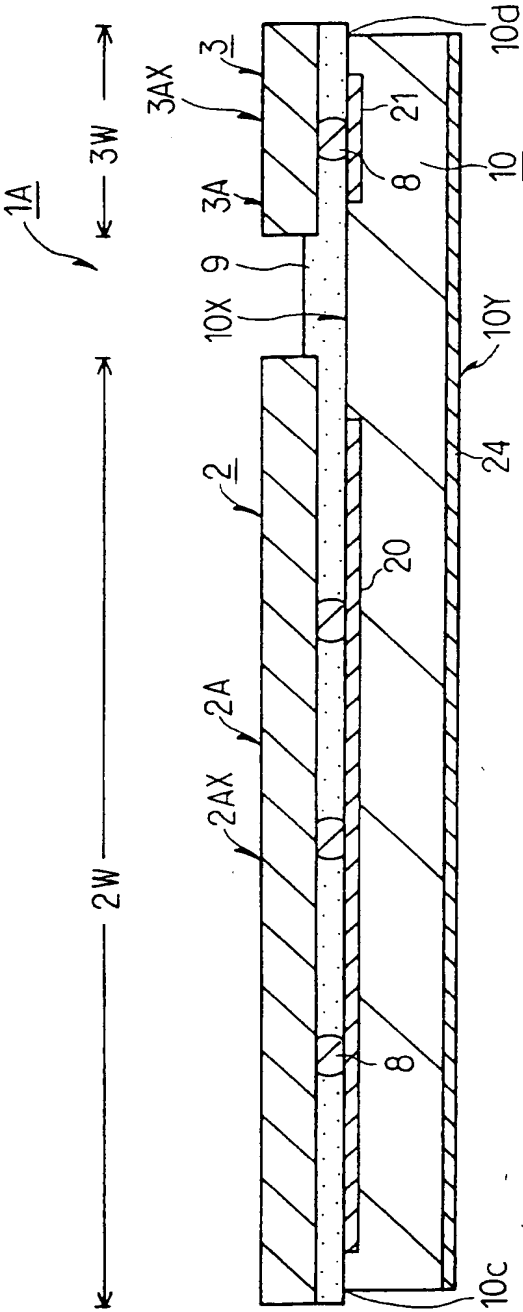


FIG.4



5 / 29

FIG.5

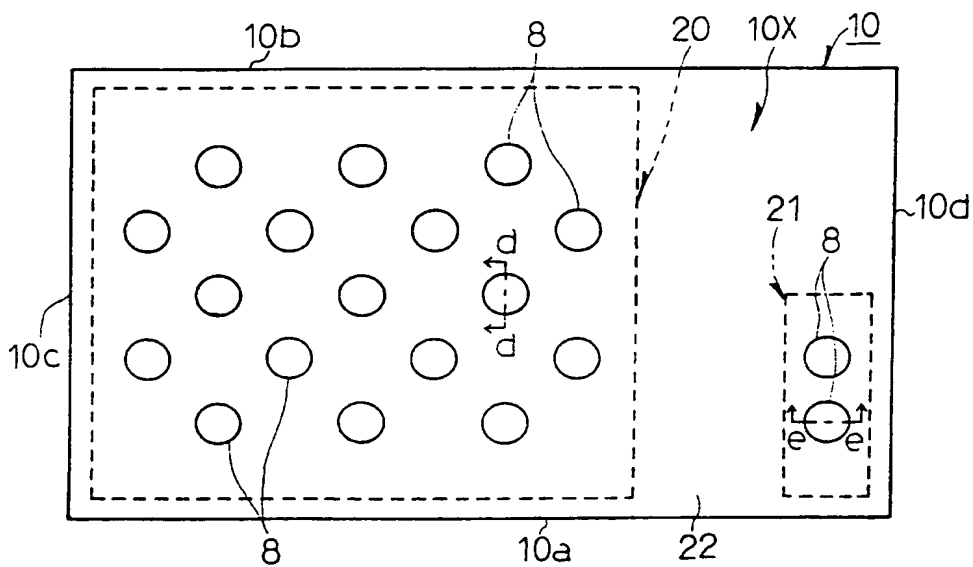


FIG.6

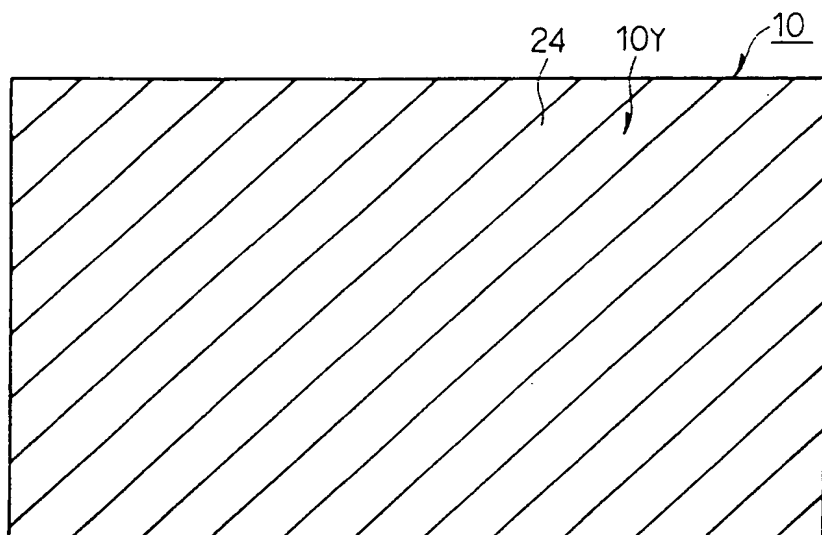
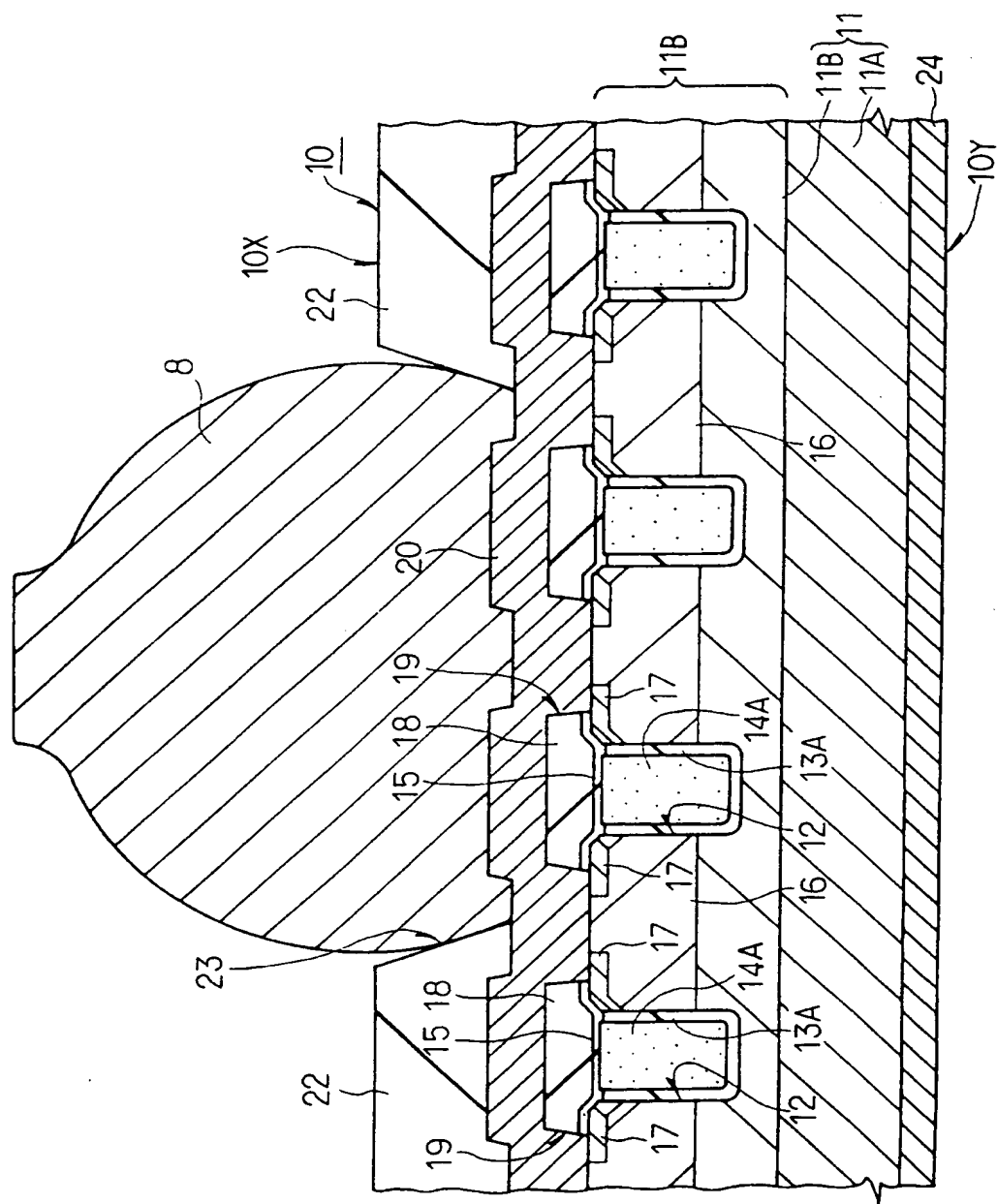


FIG.7



7 / 29

FIG.8

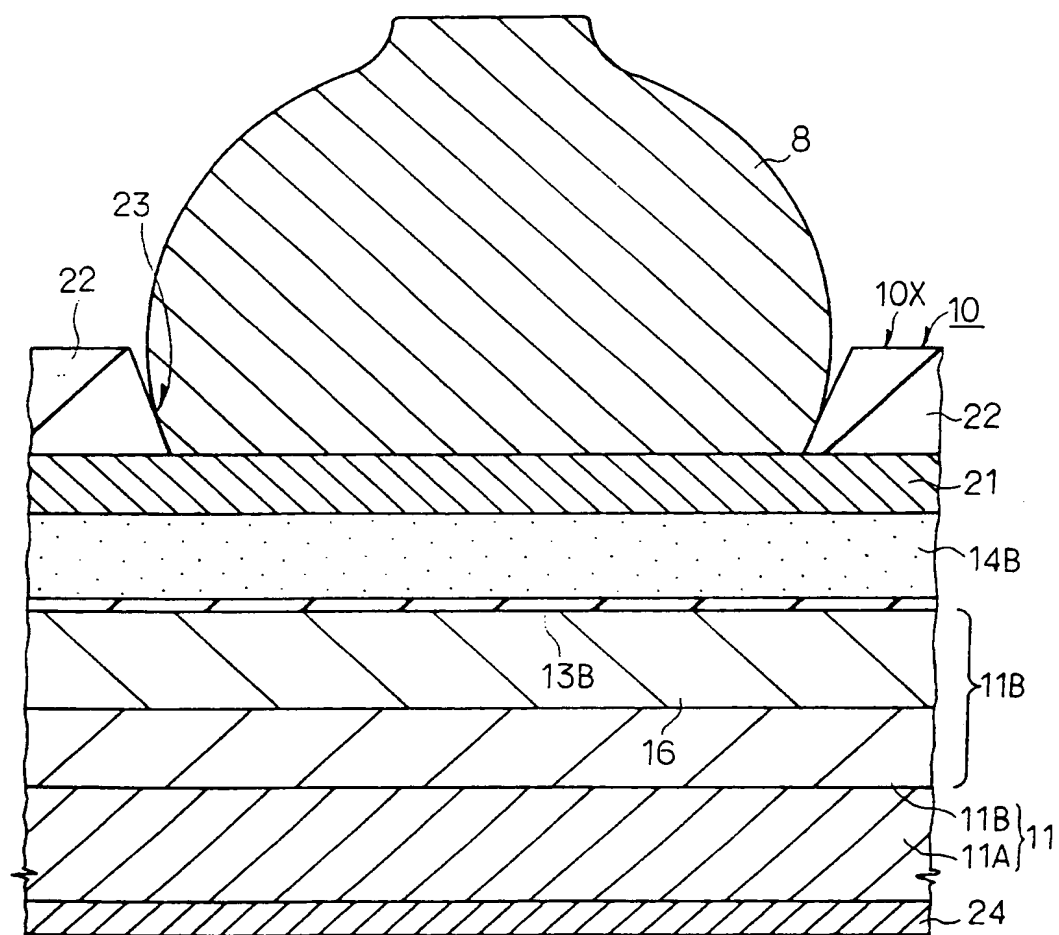


FIG.9

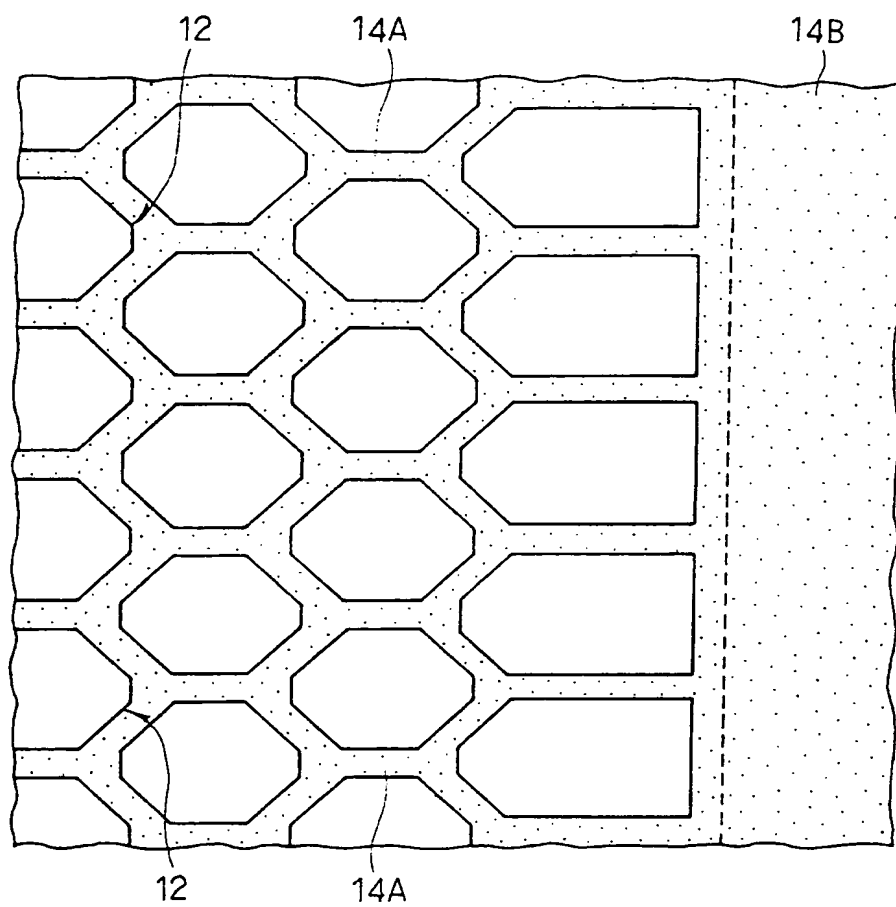


FIG.10

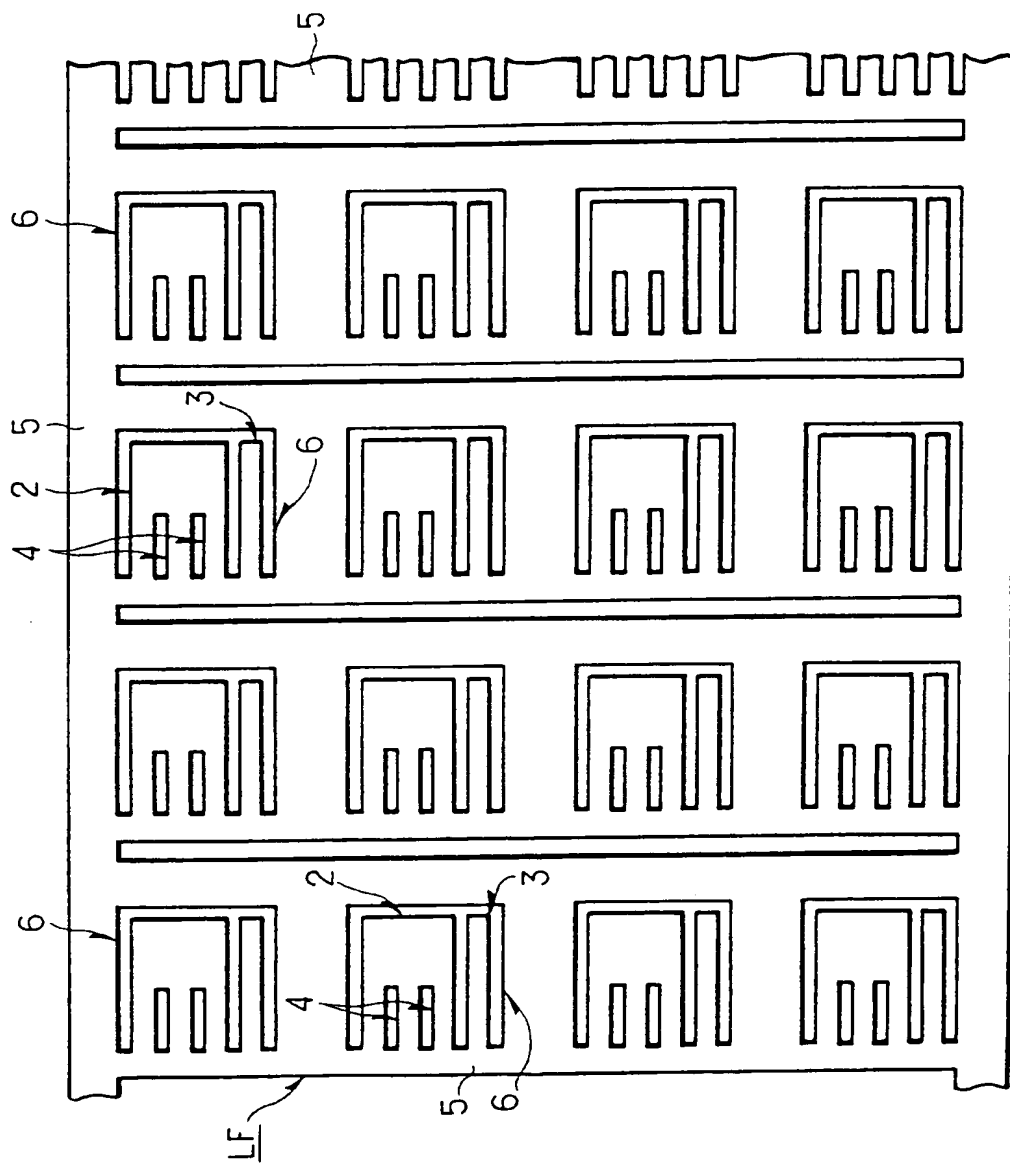
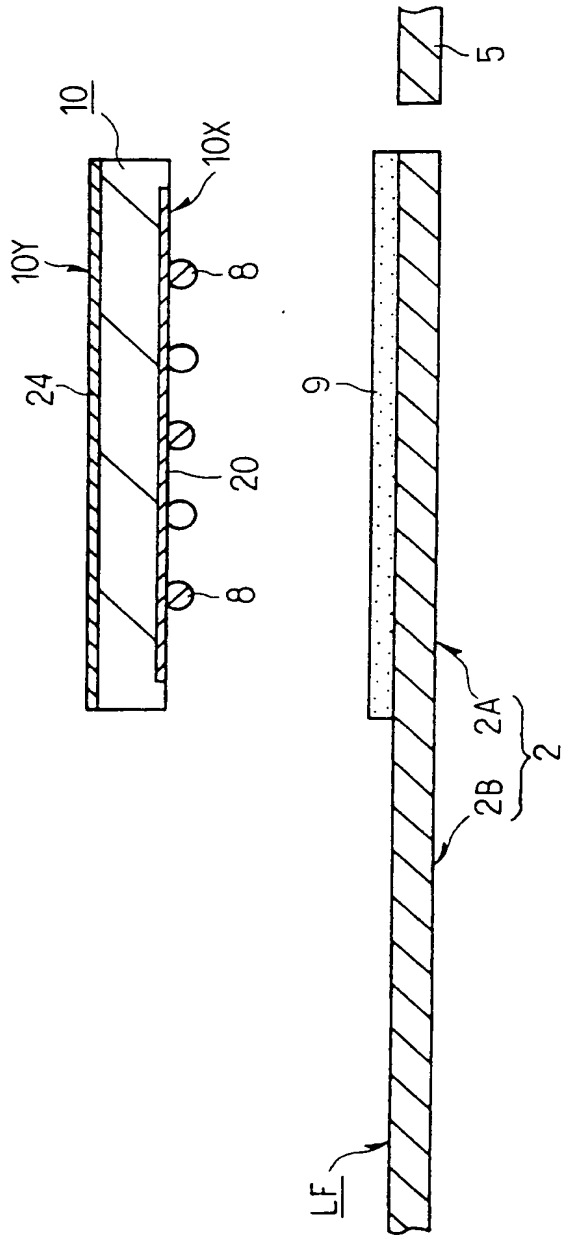


FIG.11



12/29

FIG.13

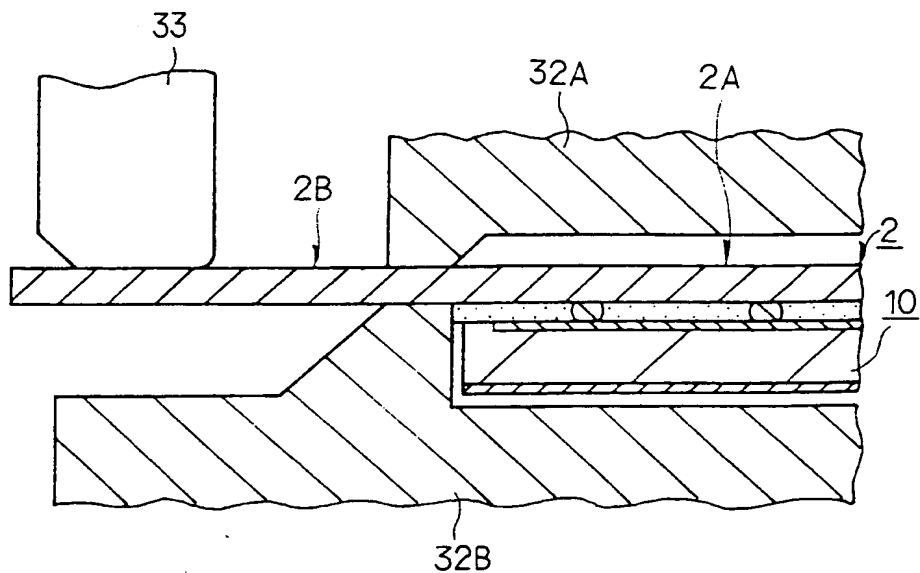


FIG.14

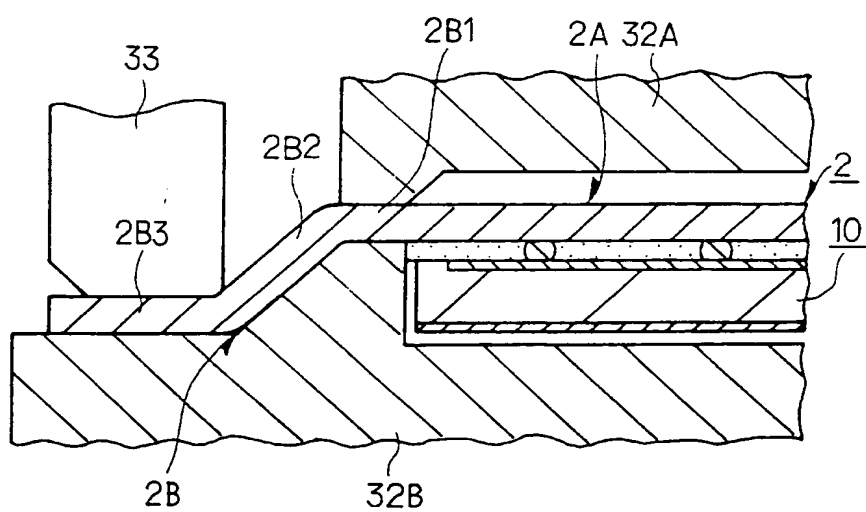
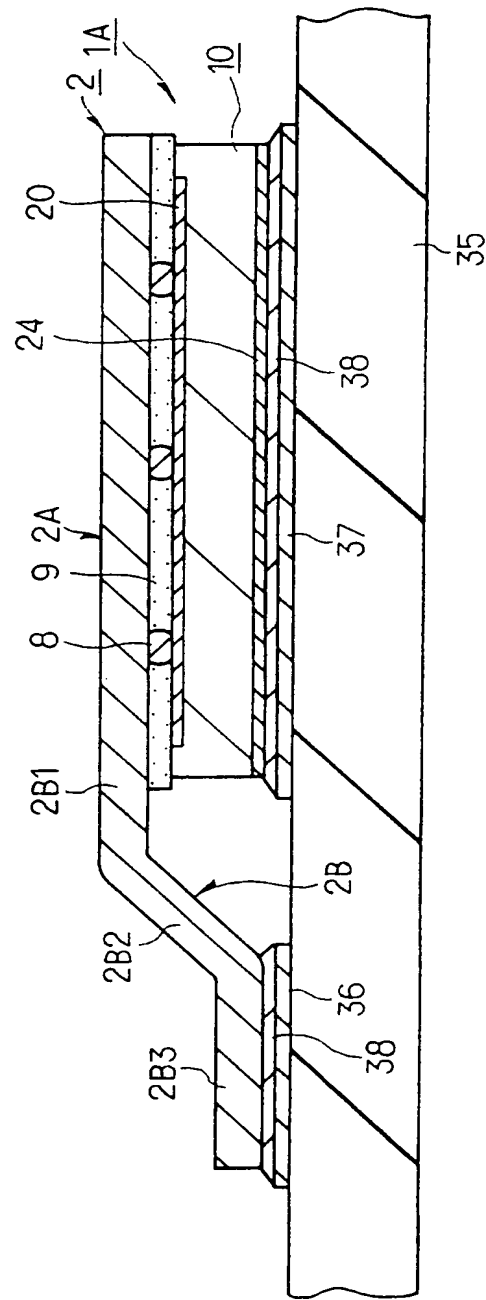


FIG.15



14/29

FIG.16

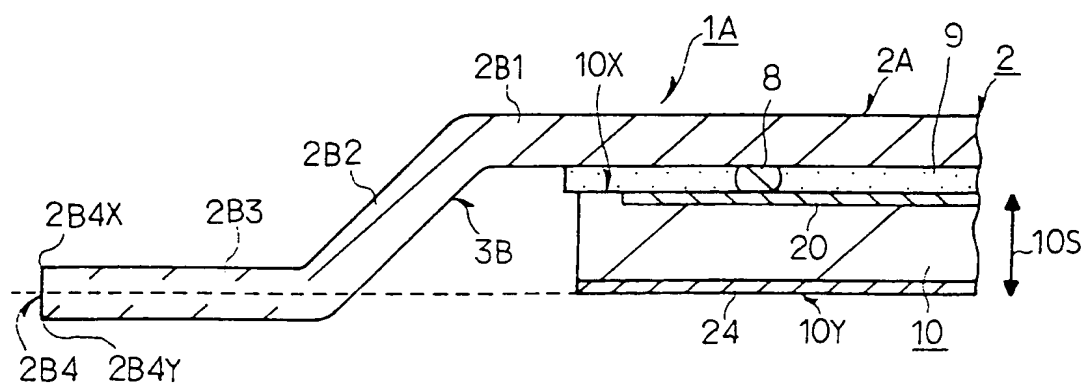


FIG.17

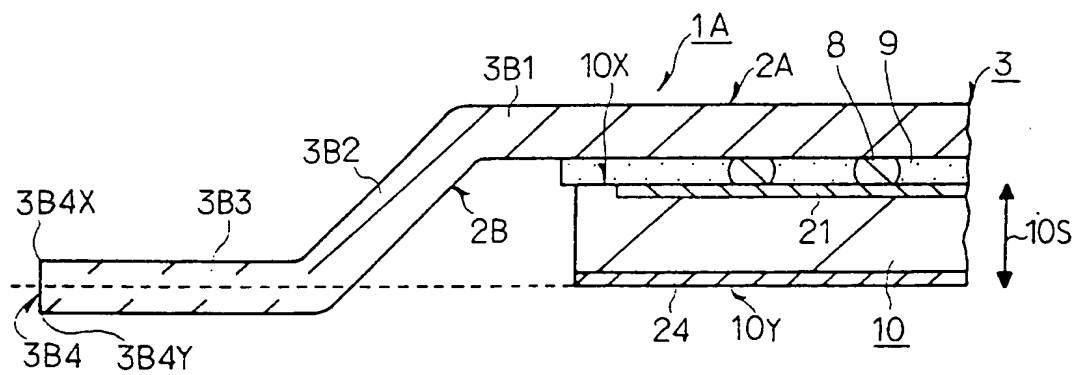


FIG.19

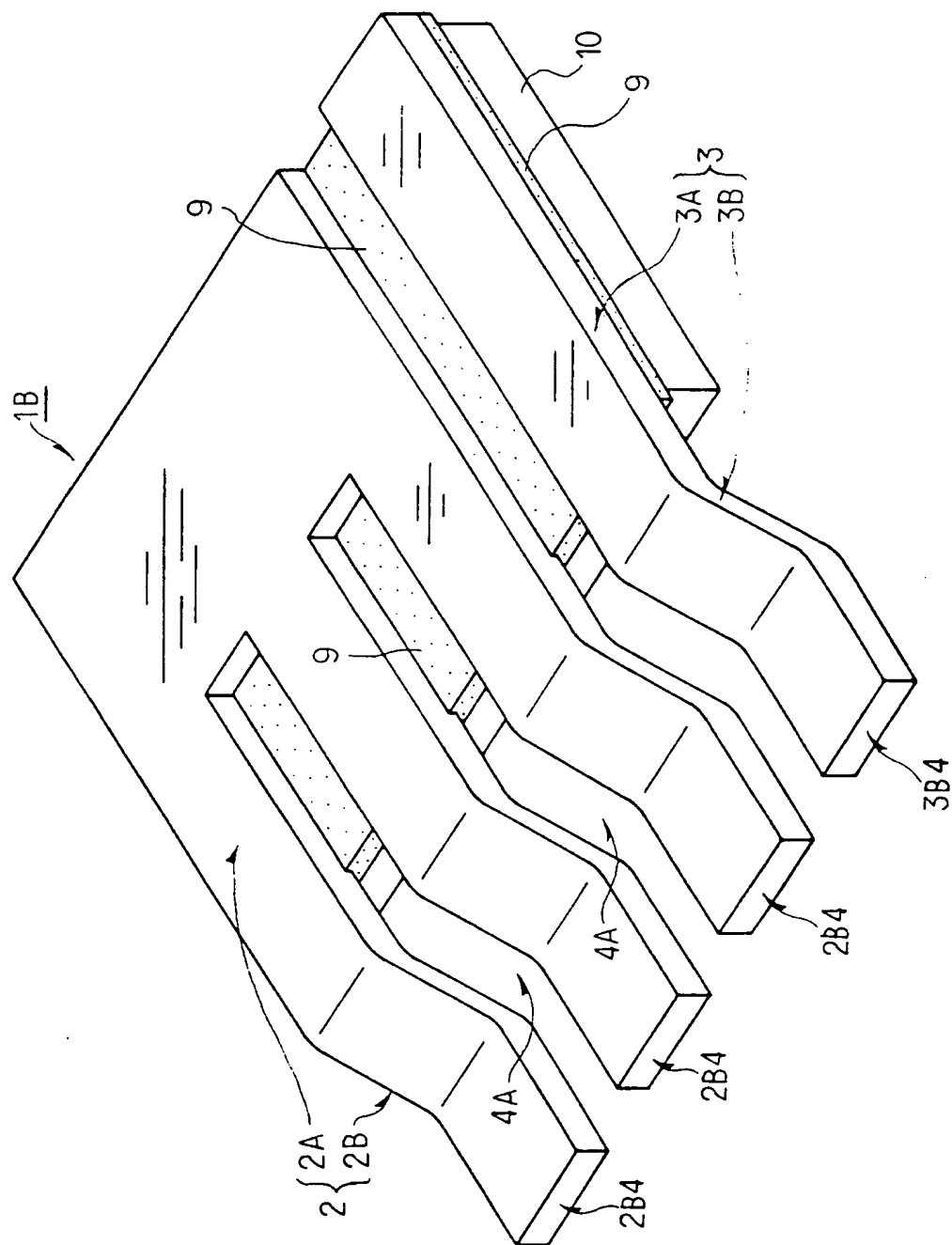


FIG.20

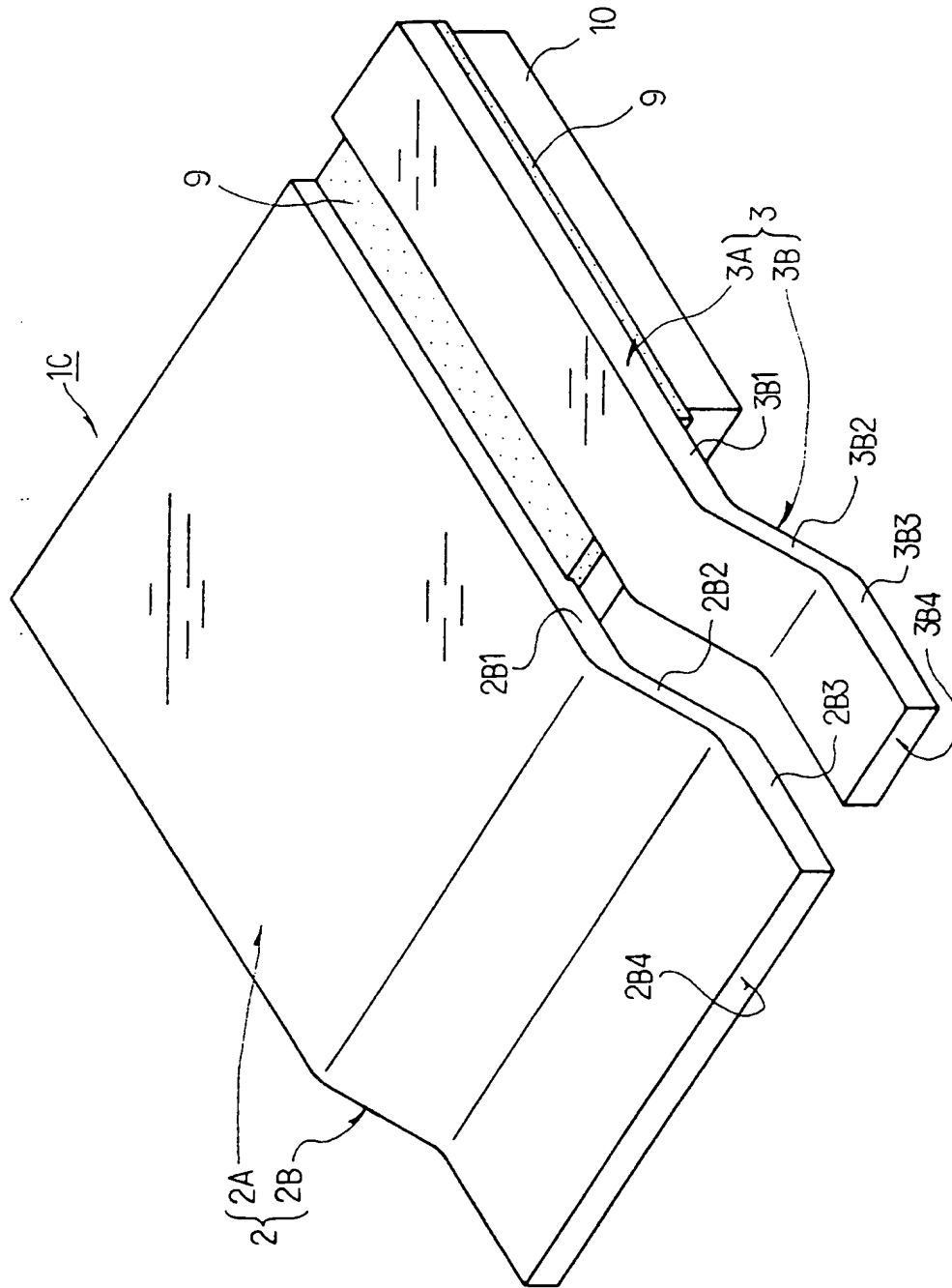
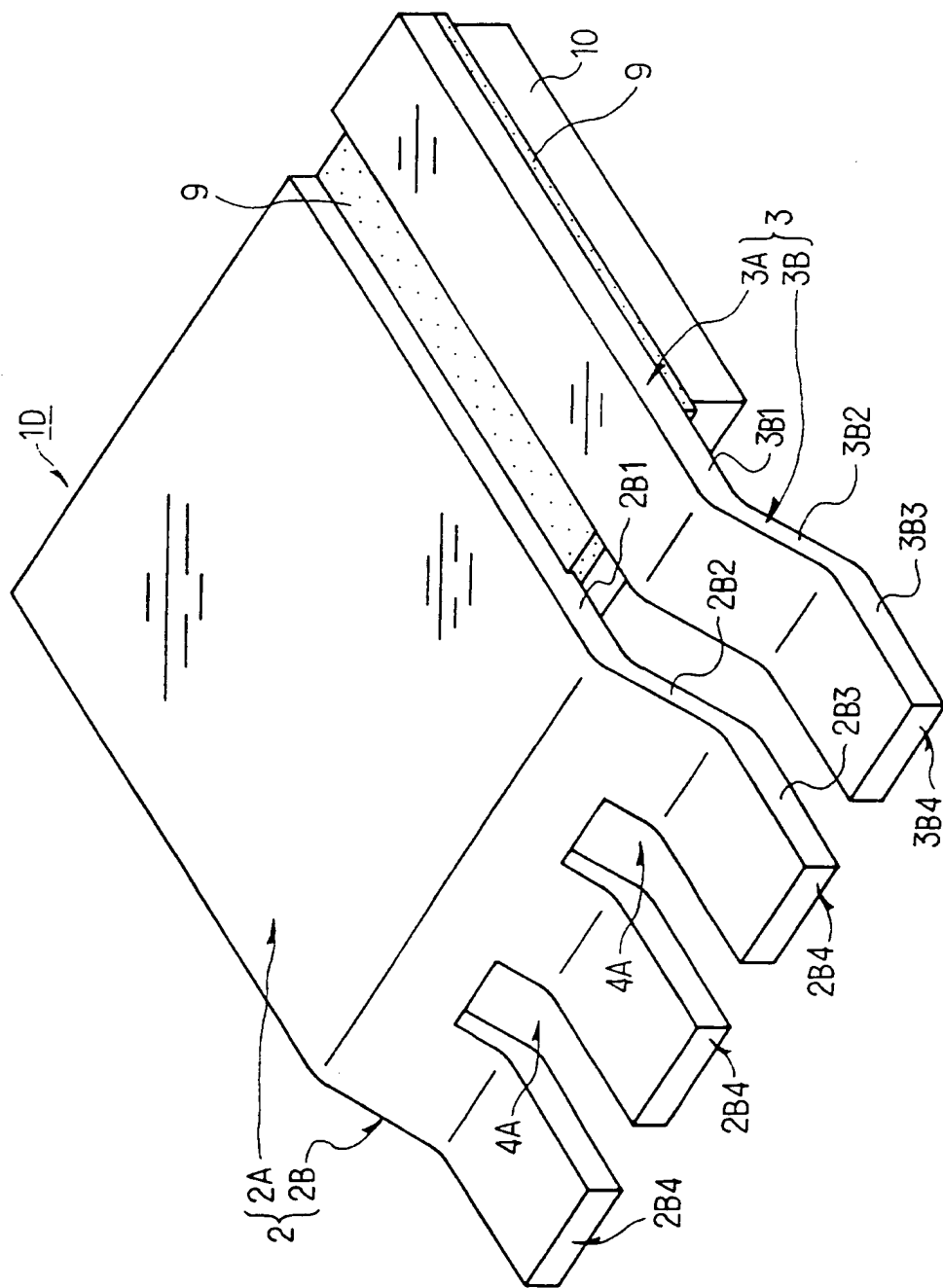


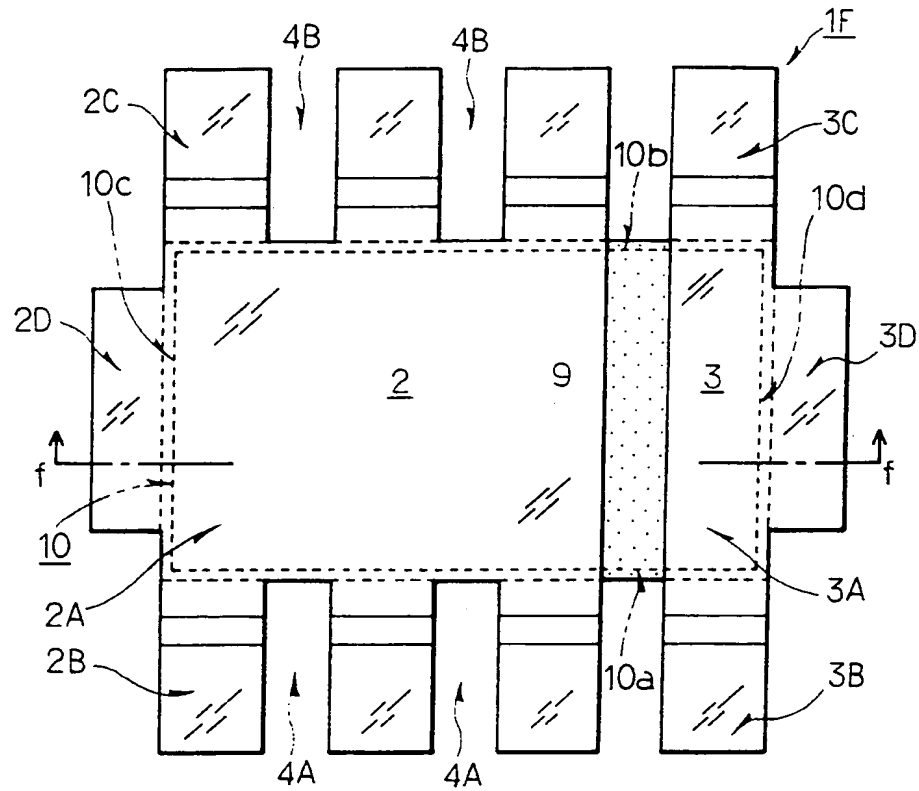
FIG.21



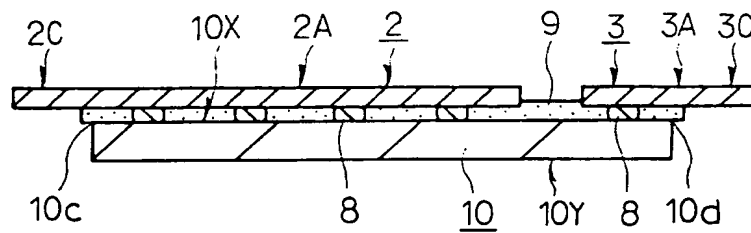
20 / 29

FIG.23

(A)



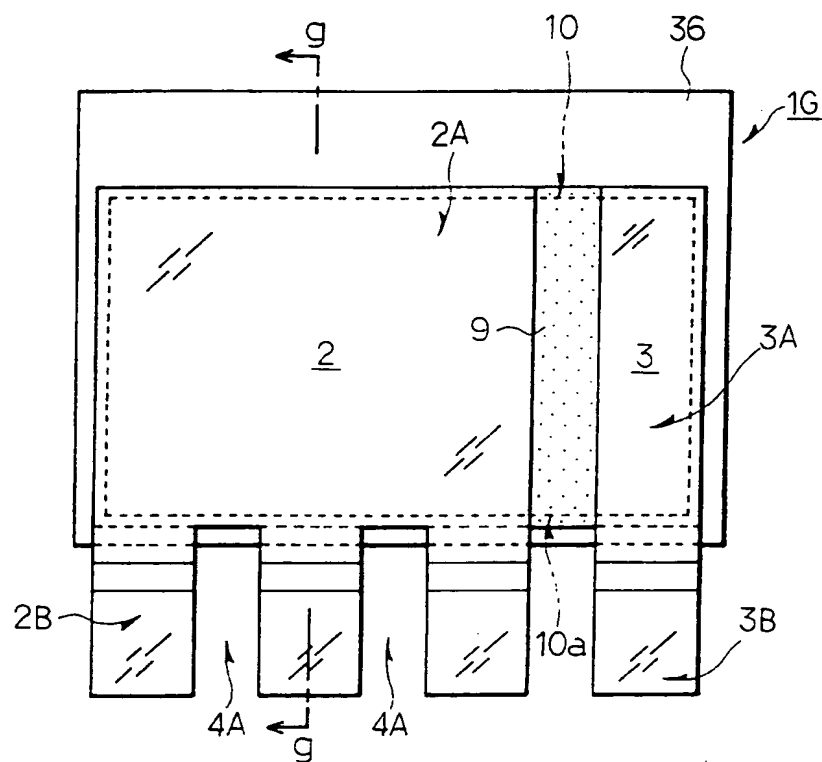
(B)



21/29

FIG.24

(A)



(B)

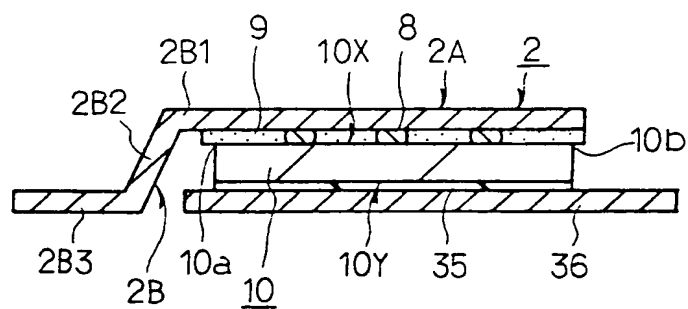


FIG.25

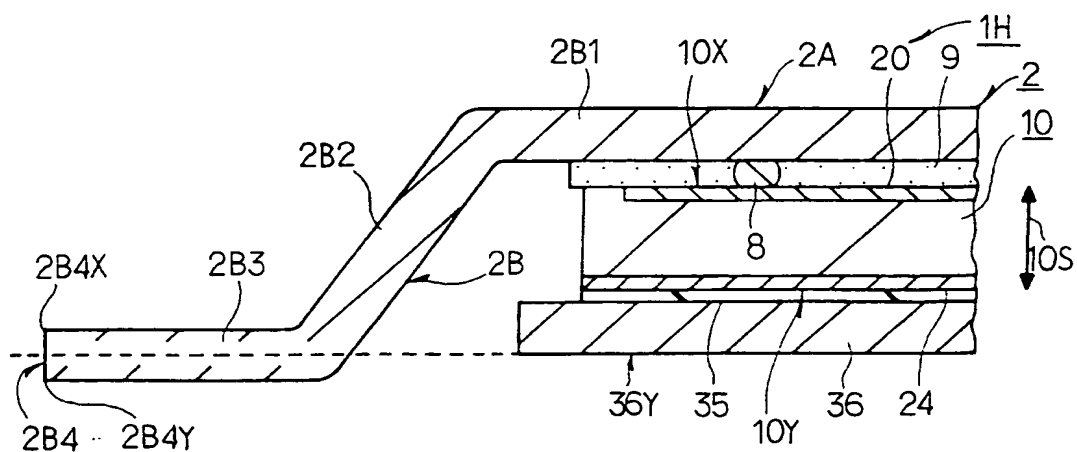
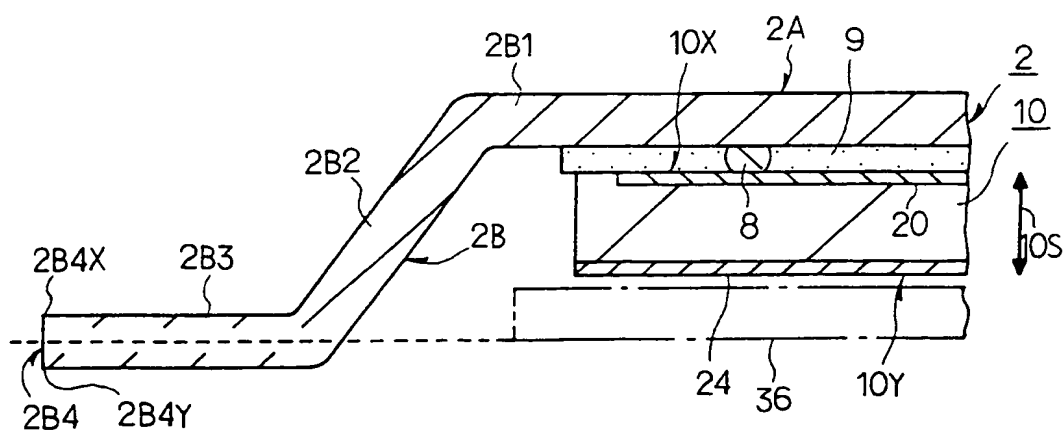
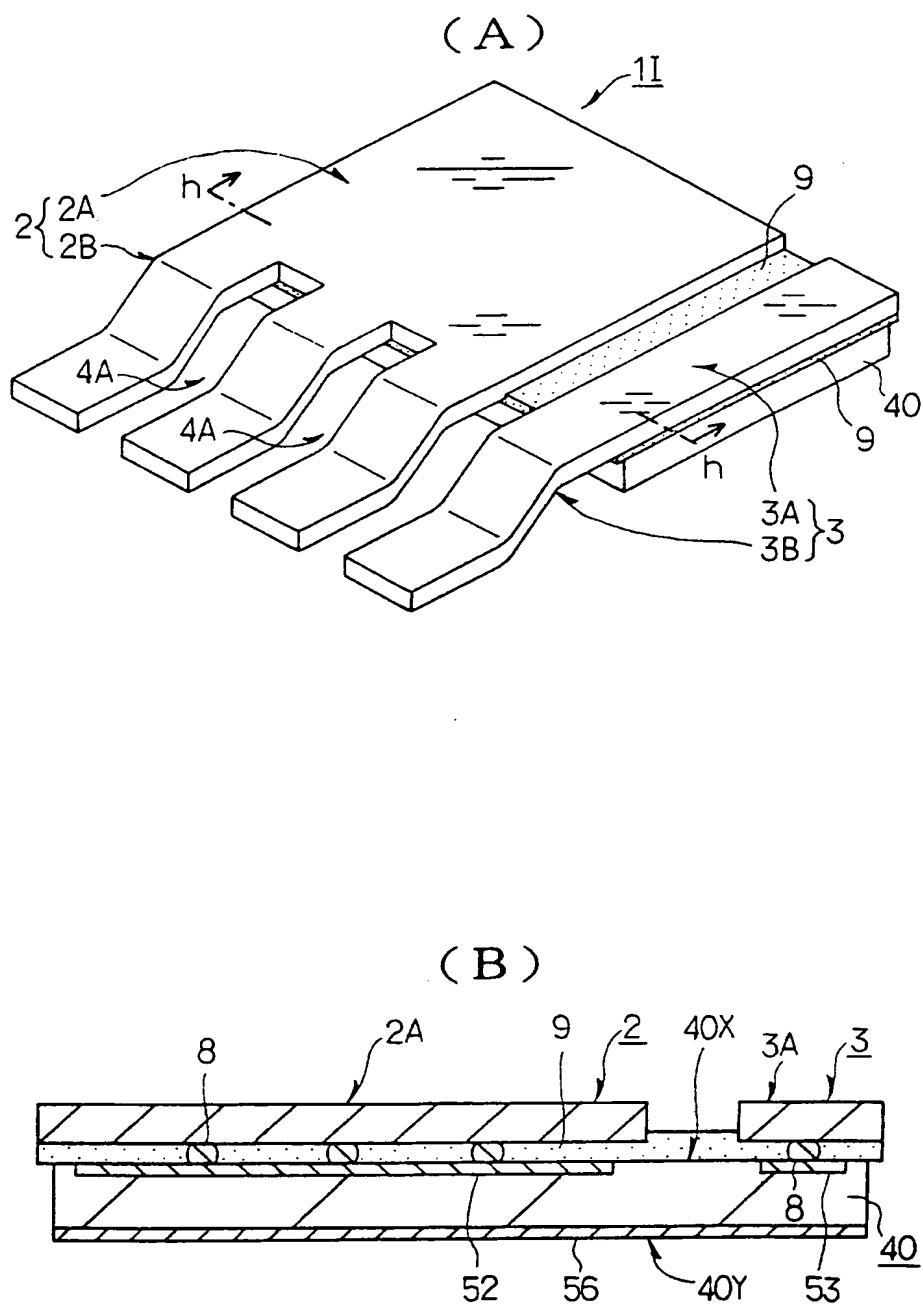


FIG.26



23 / 29

FIG.27



24/29

FIG.28

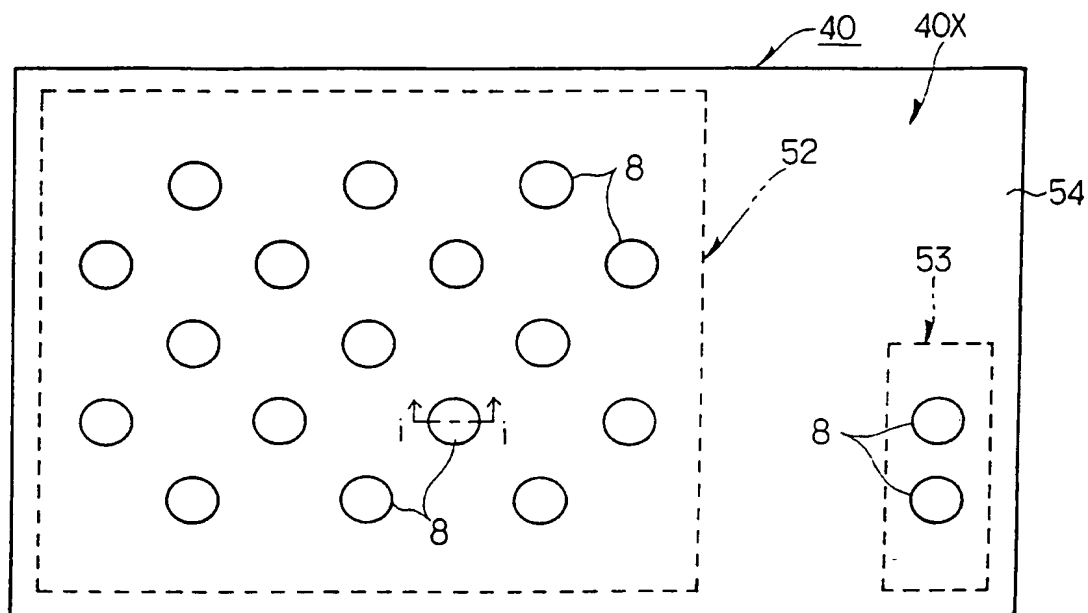


FIG.29

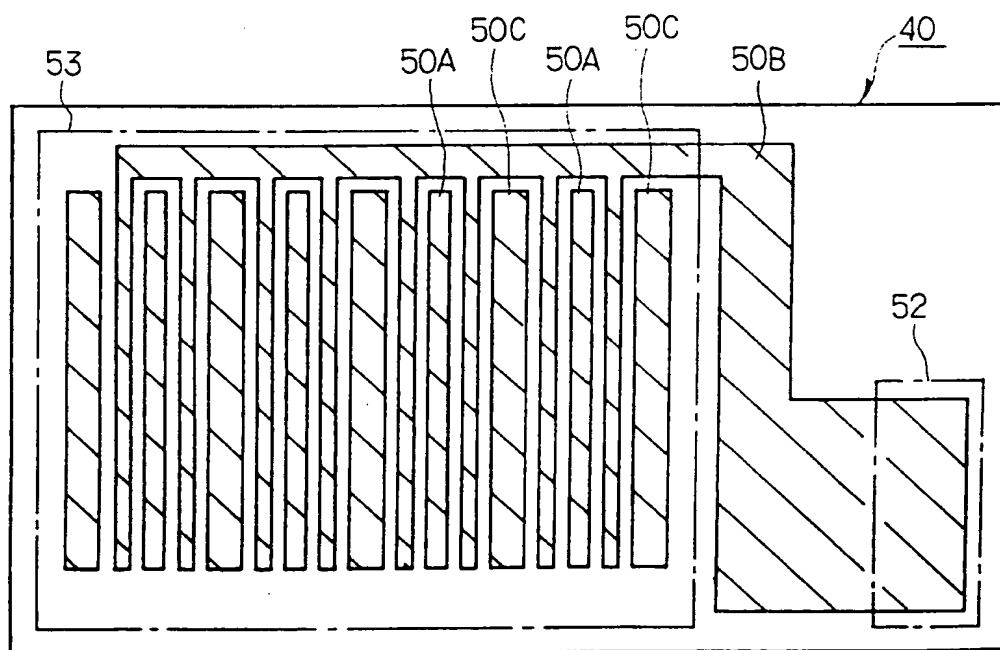
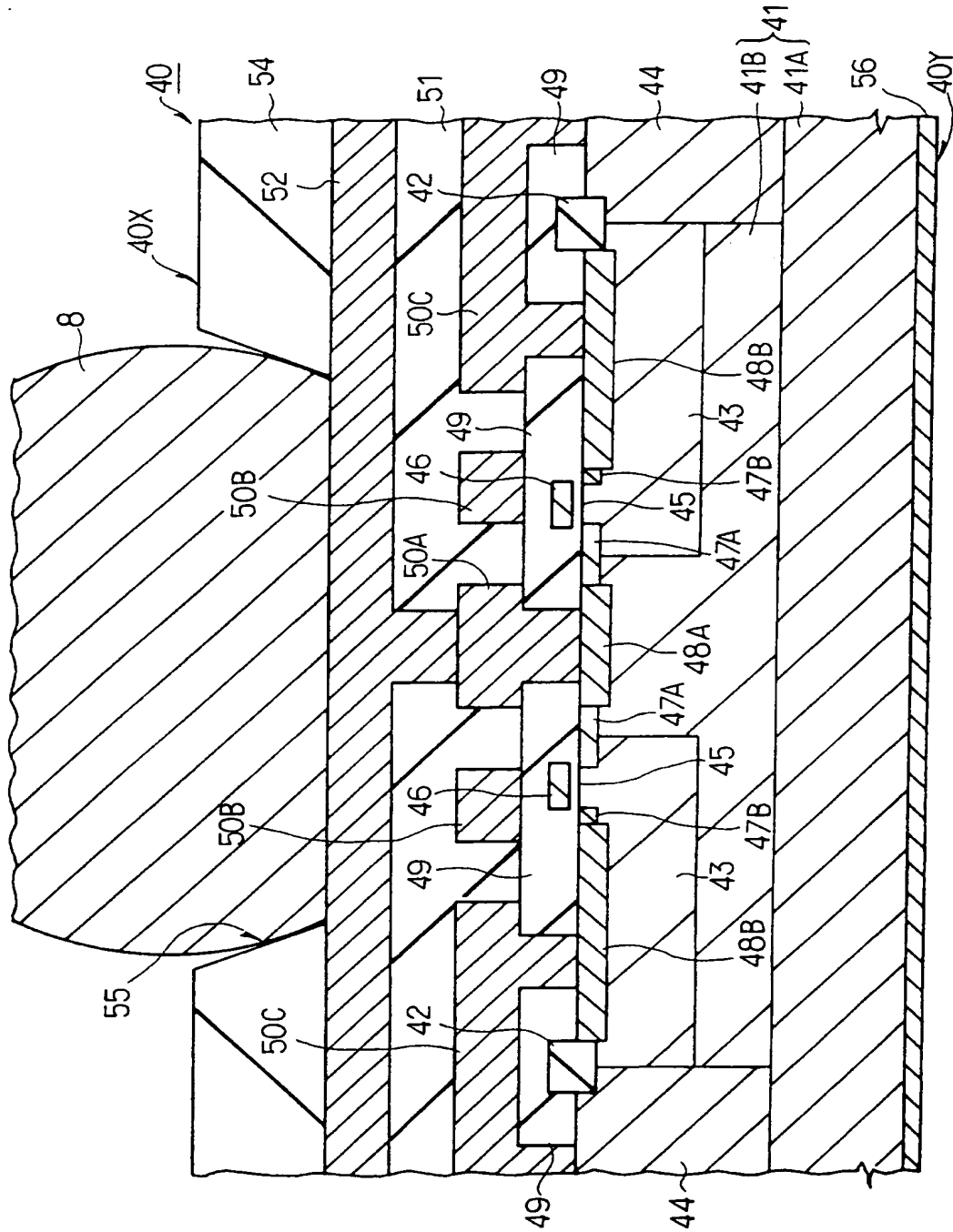
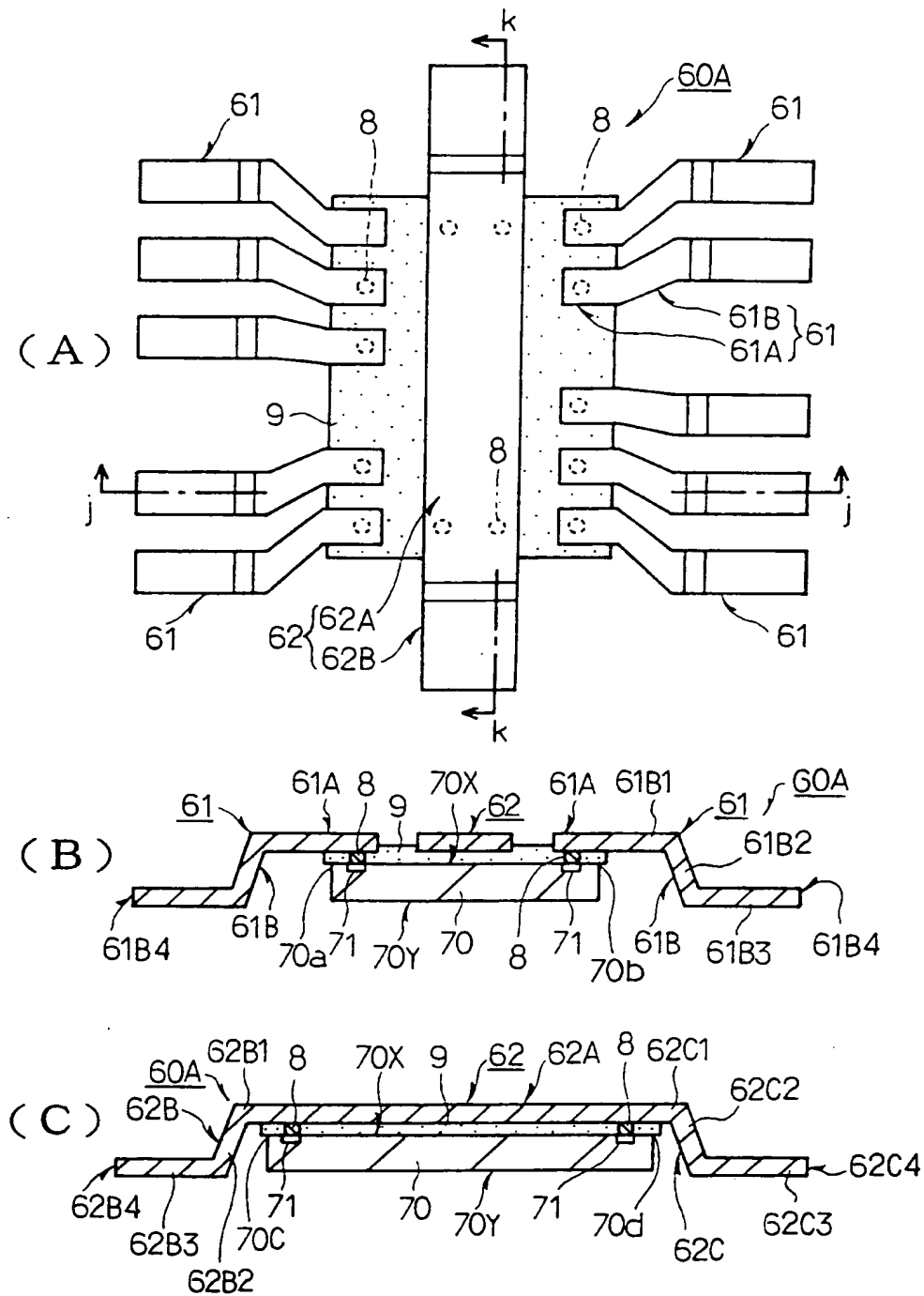


FIG. 30



26 / 29

FIG.31



27/29

FIG.32

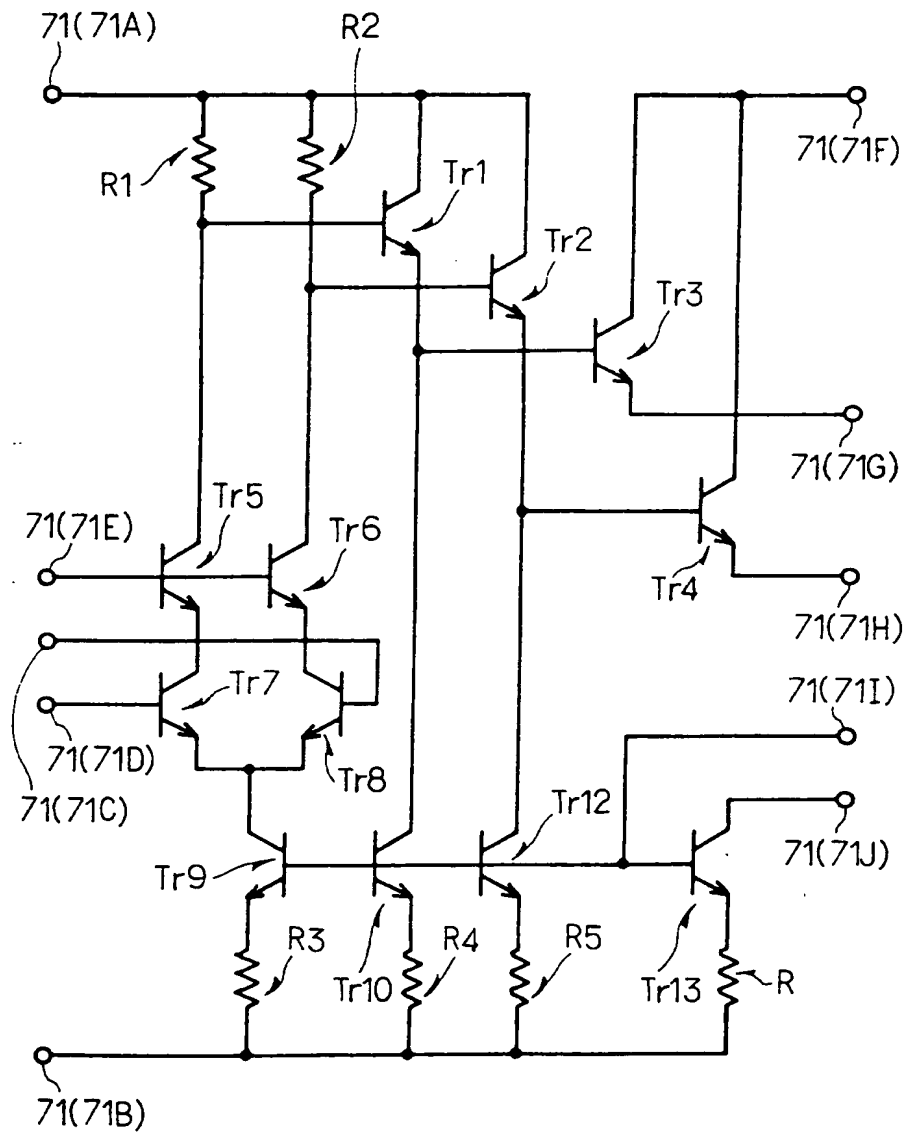


FIG.33

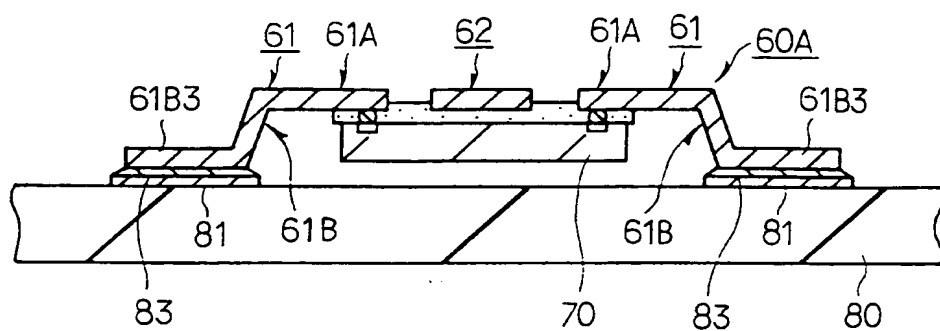
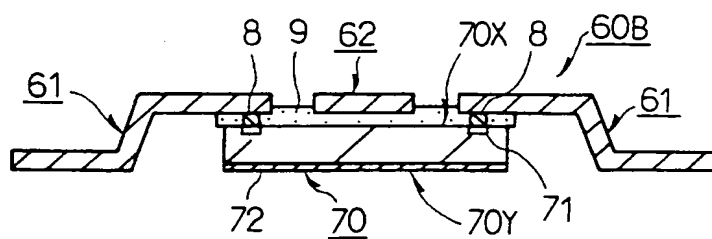


FIG.34



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/04318

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000
 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 3-80549, A (Fujitsu Limited), 05 April, 1991 (05.04.91), page 3, lower left column, lines 8 to 20; lower right column, lines 1 to 20; page 4, upper left column, lines 1 to 17; Figs. 1, 2 (Family: none)	1-12
Y	JP, 4-61139, A (Fujitsu Limited), 27 February, 1992 (27.02.92), page 3, upper left column, lines 10 to 20; upper right column, lines 1 to 20; lower left column, lines 1 to 3; page 5, upper left column, lines 11 to 20; upper right column, lines 1 to 17; Figs. 1 to 4 (Family: none)	1-12
Y	JP, 53-53766, A (Kabushiki Kaisha Suwa Seikosha), 16 May, 1978 (16.05.78) (Family: none)	1-12
Y	JP, 48-101566, U (Tokyo Shibaura Denki K.K.), 29 November, 1973 (29.11.73) (Family: none)	11
Y	JP, 10-144732, A (Hitachi, Ltd.), 29 May, 1998 (29.05.98), Claims 1, 2; Figs. 1 to 4 (Family: none)	12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not
 considered to be of particular relevance
 "E" earlier document but published on or after the international filing
 date
 "L" document which may throw doubts on priority claim(s) or which is
 cited to establish the publication date of another citation or other
 special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other
 means
 "P" document published prior to the international filing date but later
 than the priority date claimed

"T" later document published after the international filing date or
 priority date and not in conflict with the application but cited to
 understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be
 considered novel or cannot be considered to involve an inventive
 step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be
 considered to involve an inventive step when the document is
 combined with one or more other such documents, such
 combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
 25 September, 2000 (25.09.00)

Date of mailing of the international search report
 10 October, 2000 (10.10.00)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. cl.⁷ H01L21/60

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. cl.⁷ H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2000年
日本国登録実用新案公報 1994-2000年
日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 3-80549, A (富士通株式会社) 5. 4月. 1991 (05. 04. 91) 第3頁, 左下欄, 第8-20行目, 右下欄, 第1-20行目, 第4頁, 左上欄, 第1-17行目, 第1図, 第2 図 (ファミリーなし)	1-12
Y	JP, 4-61139, A (富士通株式会社) 27. 2月. 199 2 (27. 02. 92) 第3頁, 左上欄, 第10-20行目, 右上 欄, 第1-20行目, 左下欄, 第1-3行目, 第5頁, 左上欄, 第 11-20行目, 右上欄, 第1-17行目, 第1-4図 (ファミリ ーなし)	1-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

25. 09. 00

国際調査報告の発送日

10.10.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 裕 司

4R

7128

電話番号 03-3581-1101 内線 3425

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 53-53766, A (株式会社諏訪精工舎) 16. 5月. 1978 (16. 05. 78) (ファミリーなし)	1-12
Y	J P, 48-101566, U (東京芝浦電気株式会社) 29. 1 1月. 1973 (29. 11. 73) (ファミリーなし)	11
Y	J P, 10-144732, A (株式会社日立製作所) 29. 5 月. 1998 (29. 05. 98) 請求項1, 請求項2, 図1-4 (ファミリーなし)	12